

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-035994

(43)Date of publication of application : 09.02.2001

(51)Int.Cl.

H01L 25/065

H01L 25/07

H01L 25/18

(21)Application number : 11-201965

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 15.07.1999

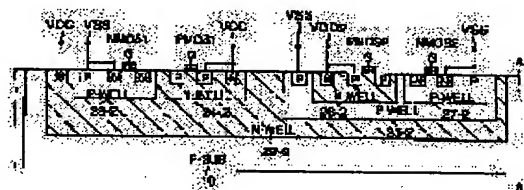
(72)Inventor : MOMOHARA TOMOYOSHI

(54) SEMICONDUCTOR INTEGRATED-CIRCUIT DEVICE AND SYSTEM SUBSTRATTE

(57)Abstract:

PROBLEM TO BE SOLVED: To improve integration degree and to reduce size by forming a second well region selectively in an island shape into a first well region, arranging two chips at the second well region, and gluing the rear sides of the chips with a conductive adhesive.

SOLUTION: A P-type well 23-2 and an N-type well 24-2 are formed in a large N-type well 22-2. An N-channel-type MOSFET1 is formed in the P-type well 23-2, and a low-potential power supply VSS is supplied. Also, the P-channel-type MOSFET1 is formed at the N-type well 24-2, and a high-potential power supply VCC that is the same as the large N-type well is supplied. Further, a P-type well 25-2 is formed in the large N-type well 22-2. An N-type well 26-2 and a P-type well 27-2 are formed in the P-type well 25-2, and a PMOS2 and an NMOS2 are formed in the N-type well 26-2 and the P-type well 27-2, respectively. The rear sides of the chips are glued and laminated.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

SEMICONDUCTOR INTEGRATED-CIRCUIT DEVICE AND SYSTEM SUBSTRATE

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] the 1st well of the 2nd conductivity type said whose 1st conductivity type by which two or more formation was alternatively carried out in the surface section of the semi-conductor substrate of the 1st conductivity type at the shape of an island is a reverse conductivity type -- a field -- said 1st well -- the 2nd well of the 1st conductivity type alternatively formed in the shape of an island all over the field -- a field -- and -- at least -- said 2nd well -- with two chips including the functional circuit formed in the field Semiconductor integrated circuit equipment characterized by providing the electroconductive glue on which each rear faces of said two chips were pasted up.

[Claim 2] Semiconductor integrated circuit equipment according to claim 1 characterized by providing further the printed wiring member to which the assembly of the chip the laminating was carried out [the chip] by said adhesion was carried out.

[Claim 3] Two chips which make a unit two or more chip fields which adjoin through the isolation region between chips, The electroconductive glue on which each rear faces of said two chips were pasted up is provided. Said each chip field Two or more formation of the field is carried out alternatively at the shape of an island. the 1st well of the 2nd conductivity type said whose 1st conductivity type is a reverse conductivity type at the surface section of the semi-conductor substrate of the 1st conductivity type -- said 1st well -- the inside of a field -- the 2nd well of the 1st conductivity type -- a field forms in the shape of an island alternatively -- having -- at least -- said 2nd well -- the semiconductor integrated circuit equipment characterized by forming the functional circuit in a field.

[Claim 4] Semiconductor integrated circuit equipment according to claim 3 characterized by providing further the printed wiring member to which the assembly of the chip the laminating was carried out [the chip] by said adhesion was carried out.

[Claim 5] Connection immobilization of the connection terminal by the side of the one side is carried out for the chip in which the laminating was carried out by said adhesion by the flip chip method on said printed wiring member. The connection terminal by the side of a field is connected to the connection terminal on said printed wiring member by the bonding wire. In addition, said printed wiring member For the field where the assembly of said chip was carried out, the chip in which the external terminal is prepared in the opposite side side, and the laminating was carried out by said adhesion, a printed wiring member, and a bonding wire are semiconductor integrated circuit equipment according to claim 2 or 4 characterized by carrying out the closure with insulating resin.

[Claim 6] It is semiconductor integrated circuit equipment given in any 1 term of claims 2, 4, and 5 which said printed wiring member carries one chip in which the laminating was carried out by said adhesion, and are characterized by the size of said printed wiring member being larger than the size of said chip a little, and having a chip-size package.

[Claim 7] Said printed wiring member is semiconductor integrated circuit equipment given in any 1 term of claims 2, 4, and 5 characterized by carrying two or more chips in which the laminating was carried out by said adhesion.

[Claim 8] the 1st well of the 2nd conductivity type said whose 1st conductivity type by which two or more formation was alternatively carried out in the surface section of the semi-conductor substrate of the 1st conductivity type at the shape of an island is a reverse conductivity type -- a field -- said 1st well -- the 2nd well of the 1st conductivity type alternatively formed in the shape of an island all over the field -- a field -- and -- at least -- said 2nd well -- with the 1st, 2nd, and 3rd chips which have at least one chip field including the functional circuit formed in the field The electroconductive glue on which each rear faces of said 1st and 2nd chips were pasted up, The flip-chip-bonding section which carried out connection immobilization of the one side side of said 3rd chip with the flip chip method the one side side of the 1st chip in which the laminating was carried out by said adhesion, The chip of a three-layer laminated structure by which the assembly was carried out is held the printed wiring member of said 3rd chip to which the assembly of the side was carried out on the other hand, said printed wiring member, and on it. Semiconductor integrated circuit equipment characterized by providing the package which has two or more external terminals by which said 2nd

chip is connected alternatively and electrically to the connection terminal a side and on said printed wiring member on the other hand.

[Claim 9] said two or more 1st wells -- semiconductor integrated circuit equipment given in claim 1 which the functional circuit formed all over the field, respectively is a functional circuit where functions differ mutually, and is characterized by including the functional circuit which sways the potential of a semiconductor chip thru/or any 1 term of 8.

[Claim 10] said two or more 1st wells -- semiconductor integrated circuit equipment given in claim 1 characterized by the functional circuit formed all over the field, respectively containing at least two of a nonvolatile memory circuit, an analog circuit, a digital circuit, a digital to analog circuit, a static mold memory circuit, and dynamic mold memory circuits thru/or any 1 term of 8.

[Claim 11] said two or more 1st wells -- semiconductor integrated circuit equipment given in claim 1 characterized by the functional circuit formed all over the field, respectively constituting the memory circuit as a whole thru/or any 1 term of 8.

[Claim 12] The system substrate characterized by providing the printed wiring substrate which mounted two or more semiconductor integrated circuit equipment and said two or more semiconductor integrated circuit equipments given in claim 1 thru/or any 1 term of 11 in the one side side, respectively.

[Claim 13] The system substrate characterized by providing the printed wiring substrate which mounted two or more semiconductor integrated circuit equipment and said two or more semiconductor integrated circuit equipments given in claim 1 thru/or any 1 term of 11 in both sides, respectively.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention is used in order to realize improvement in the degree of integration of the system substrate of the device incorporating semiconductor integrated circuit equipment, and a miniaturization about the system substrate which mounted two or more the semiconductor integrated circuit equipment and them which started semiconductor integrated circuit equipment and a system substrate, especially pasted up chip rear faces.

[0002]

[Description of the Prior Art] The demand of multi-functionalization, a miniaturization, and low-pricing is increasing focusing on fields, such as a product which used the semiconductor device especially a personal computer, a cellular phone, and a game machine.

[0003] When multi-functionalization is promoted, a system becomes complicated, and the semiconductor device of various functions is needed, and the memory of a huge capacity is needed. For this reason, the number of the semiconductor devices of a simple substance required to build a system increases.

[0004] Especially in the semiconductor device of a simple substance, focusing on a processor, one chip is being accumulated and many functions are miniaturized every year. Moreover, the same is said of a memory apparatus, and its capacity accumulated by one chip increases, and it is miniaturized too.

[0005] Aiming at high integration, high-reliability-izing, and a miniaturization, ED is made so that current and a memory card may replace the storage by mechanical control of a floppy disk driving gear, hard disk drive, etc. And in fields, such as a digital camera and voice recorder equipment, the memory card is gradually adopted as replacement of the storages (a film, tape, etc.) of small capacity.

[0006] However, in the present condition, in order the memory card is expensive and to aim at replacement of mass storages (a floppy disk, hard disk, etc.), implementation of the further high integration and low-pricing is desired. Although the tip process and the circuit technique are adopted at present in order to attain high integration and low-pricing, a manufacture price becomes high and commercial-scene expansion of a memory card is restricted. Moreover, with large-capacity-izing of memory, a chip size increases, and improvement in the yield becomes difficult and leads to a cost rise.

[0007] The technique of increasing memory space easily and realizing memory of inside capacity comparatively cheaply with the technique which pastes up with insulating adhesives and carries out the laminating of the rear faces of two memory chips of a comparatively small capacity from such a background is proposed.

[0008] However, if a detailed-ized technique is introduced in order to accept the demand of a commercial scene to low-pricing of a chip, and a miniaturization though such a chip laminating technique is used, in conventional component separation technology and circuit separation technology, it will originate in the noise generated in each circuit, and substrate potential will become unstable. When especially low supply voltage progresses, the margin of a signal level of operation decreases to supply voltage, and the above mentioned malfunction becomes remarkable.

[0009] These troubles are explained concretely below.

[0010] Drawing 18 (a) shows the cross-section structure with an example of the conventional CMOS structure of a memory chip, and shows the cross-section structure in the condition of having pasted up with insulating adhesives and having carried out the laminating of the two rear faces of this chip to drawing 18 (b).

[0011] namely, triple one as shown in drawing 18 (a) -- a well -- the CMOS structure using structure -- N type substrate 181 the surface section -- alternative -- 1st P -- a well 182 and the 1st N -- a well 183 and 2nd P -- a well 184 and substrate electrode field 185 It forms. P of the above 1st -- well 182 the surface section -- alternative -- the 2nd N -- a well 186 and source drain field 187 of NMOSFET while forming -- P -- a well -- electrode field 188 It forms. said 1st N -- well 183 and the 2nd N -- well 186 **** -- source drain field 189 of PMOSFET and N -- a well -- electrode field 190 It forms. and said 2nd P -- well 184 **** -- source drain field 191 of NMOSFET while forming -- P -- a well -- electrode field 192 It forms.

[0012] such triple one -- a well -- structure is used, when changing an external power electrical potential difference and the supply voltage of an internal circuitry and operating a circuit. in this case -- general -- 1st P -- well 182 the 2nd inner N -- well 186 **** -- N type substrate 181 Potential VCC2 lower than potential (supply voltage VCC1) It is impressed.

[0013] Two memory chips 193 which have structure of drawing 18 (a) which was described above as shown in drawing 18 (b) They are adhesives 194 in rear faces. When pasting up and carrying out a laminating, it is supply voltage VCC1. Since there is a possibility that the contents of the data of the memory cell of one memory chip may be destroyed by the ripple of supply voltage when it falls from 2.5V, they are the insulating adhesives 194. It has pasted up. However, dispersion in the distance for insulation between chips becomes a problem with the irregularity on the front face of a lap on the rear face of a chip.

[0014] It has come to grope for the technique (the so-called system-on-silicon technique) which loads together two or more functional circuits where functions differ mutually on the other hand to one semiconductor chip.

[0015] Although it is also possible to apply the conventional laminating technique as it is to the chip consolidated with such two or more functional circuits, to give the device which uses each functional circuit together with the technique mutually separated by the isolation region, and applies an effective chip adhesion laminating technique is desired.

[0016]

[Problem(s) to be Solved by the Invention] As mentioned above, the chip laminating

technique using the conventional insulating adhesives has the problem of a margin of operation falling, when low-battery actuation-ization progresses.

[0017] This invention was made in view of the above-mentioned situation, it reduces the bad influence to electrical characteristics while it raises a heat dissipation property, even when at least two rear faces of the semiconductor integrated circuit chip consolidated with two or more functional circuits are pasted up, and it aims at offering the semiconductor integrated circuit equipment which enables it to attain stabilization of the actuation especially under low-battery actuation.

[0018] Moreover, this invention aims at offering the semiconductor integrated circuit equipment which enables it to increase memory space easily comparatively cheaply, when it applies to the chip which has a memory function.

[0019] Moreover, other purposes of this invention are to offer the system substrate which can realize inside capacity and large capacity comparatively cheaply, when the chip which can realize improvement in a degree of integration and a miniaturization, and has a memory function is used by carrying two or more two or more chip adhesion type semiconductor integrated circuit equipments of this invention.

[0020]

[Means for Solving the Problem] the 1st well of the 2nd conductivity type said whose 1st conductivity type with which two or more formation of the 1st semiconductor integrated circuit equipment of this invention was alternatively carried out in the surface section of the semi-conductor substrate of the 1st conductivity type at the shape of an island is a reverse conductivity type -- a field -- said 1st well -- the 2nd well of the 1st conductivity type alternatively formed in the shape of an island all over the field -- a field -- and -- at least -- said 2nd well -- with two chips including the functional circuit formed in the field It is characterized by providing the electroconductive glue on which each rear faces of said two chips were pasted up.

[0021] It is characterized by the 2nd semiconductor integrated circuit equipment of this invention possessing further the printed wiring member to which the at least one-piece assembly of the 1st semiconductor integrated circuit equipment of this invention was carried out.

[0022] Two chips which make a unit two or more chip fields where the 3rd semiconductor integrated circuit equipment of this invention adjoins through the isolation region between chips, The electroconductive glue on which each rear faces of said two chips were pasted up is provided. Said each chip field Two or more formation of the field is carried out alternatively at the shape of an island. the 1st well of the 2nd conductivity type said whose 1st conductivity type is a reverse conductivity type at the

surface section of the semiconductor substrate of the 1st conductivity type -- said 1st well -- the inside of a field -- the 2nd well of the 1st conductivity type -- a field forms in the shape of an island alternatively -- having -- at least -- said 2nd well -- it is characterized by forming the functional circuit in a field.

[0023] It is characterized by the 4th semiconductor integrated circuit equipment of this invention possessing further the printed wiring member to which the at least one-piece assembly of the 3rd semiconductor integrated circuit equipment of this invention was carried out.

[0024] the 1st well of the 2nd conductivity type said whose 1st conductivity type with which two or more formation of the 5th semiconductor integrated circuit equipment of this invention was alternatively carried out in the surface section of the semiconductor substrate of the 1st conductivity type at the shape of an island is a reverse conductivity type -- a field -- said 1st well -- the 2nd well of the 1st conductivity type alternatively formed in the shape of an island all over the field -- a field -- and -- at least -- said 2nd well -- with the 1st, 2nd, and 3rd chips which have at least one chip field including the functional circuit formed in the field The electroconductive glue on which each rear faces of said 1st and 2nd chips were pasted up, The flip-chip-bonding section which carried out connection immobilization of the one side side of said 3rd chip with the flip chip method the one side side of the 1st chip in which the laminating was carried out by said adhesion, The chip of a three-layer laminated structure by which the assembly was carried out is held the printed wiring member of said 3rd chip to which the assembly of the side was carried out on the other hand, said printed wiring member, and on it. It is characterized by providing the package which has two or more external terminals by which said 2nd chip is connected alternatively and electrically to the connection terminal a side and on said printed wiring member on the other hand.

[0025] The system substrate of this invention is characterized by mounting the plurality of the semiconductor integrated circuit equipment of this invention in one side or both sides of a printed wiring substrate.

[0026]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained to a detail with reference to a drawing.

[0027] <Operation gestalt of ** 1st of semiconductor integrated circuit equipment> drawing 1 shows roughly the cross-section structure concerning the 1st operation gestalt of the semiconductor integrated circuit equipment of this invention.

[0028] Each rear faces paste up the 1st chip 11 and 2nd chip 12 with the electroconductive glue 13 with good thermal conductivity, and the laminating is carried

out. Although each of these chips are semiconductor integrated circuit chips consolidated with two or more functional circuits and are explained to a detail later It each corresponds to two or more semi-conductor layers (well field) alternatively formed in the surface section of a semi-conductor substrate in the shape of an island as the example. A processor, Functional circuits, such as SRAM, DRAM, and Flash-EEPROM, are formed, and the chip field where insulating separation of each functional circuit was mutually carried out by the isolation region is divided from a wafer.

[0029] in addition, said each chips 11 and 12 -- two or more wells -- the well of plurality [components / of the functional circuit which has not only a thing (for example, memory mixed-loading chip) but the single function in which two or more kinds of functional circuits were formed corresponding to the field / two or more] -- you may be the chip (for example, the well of plurality [circuit / the memory cell array of semiconductor memory, a circumference circuit, / I/O] memory chip formed corresponding to the field) formed corresponding to the field.

[0030] And the assembly of such two chips of an adhesion laminated structure is carried out on the larger printed wiring member (for example, printed wiring substrate) 14 a little than a chip size, for example, the closure is carried out with insulating resin 15, and they serve as semiconductor integrated circuit equipment which has the chip-size package of a plastic molded type.

[0031] In this case, connection immobilization of the component and the connection terminal forming face of the 1st chip 11 is carried out by the flip chip method on a printed circuit board 14, and the connection terminal of the component and connection terminal forming face of the 2nd chip 12 is connected to the connection terminal on said printed wiring member by the bonding wire 16. And the closure of the two chips of these bonding wires and an adhesion laminated structure is carried out with said resin 15.

[0032] In addition, external connection terminal 17 group ball grid array type [for example,] is formed in the rear face (non-carrying field of a chip) of the above-mentioned printed wiring member 14. Moreover, you may make it connect the connection terminal of the component and connection terminal forming face of the 2nd chip 12 with the exterior through a bump electrode (not shown).

[0033] According to the 1st operation gestalt of such semiconductor integrated circuit equipment, since thermal conductivity pastes up with good adhesives and the laminating is carried out, the rear faces of two chips Since it becomes possible for some chips [at least] (for example, memory section) of another side to make generation of heat of above-mentioned one chip radiate heat also from the chip of another side for

example, in the state of standby when there is little generation of heat even if one chip is exoergic by operating state, a heat dissipation property improves.

[0034] Moreover, since the rear faces of each chip paste up with electroconductive glue, the laminating is carried out, potential equalization of the substrate potential of each chip is carried out and it is stabilized, the bad influence to the electrical characteristics by the fall of a margin of operation when low supply voltage progresses decreases. the chip especially each chip of whose loaded together two or more functional circuits -- it is -- two or more functional circuits -- a well -- insulating separation is mutually carried out by the field, and since there is little mutual effect electrically, there are few bad influences to electrical characteristics when low supply voltage progresses.

[0035] Moreover, since the rear faces of each chip paste up with electroconductive glue and the laminating is carried out, even if the irregularity on the front face of a lap on each rear face of a chip exists, the problem of dispersion in the distance for insulation between chips is not generated.

[0036] Therefore, when the semiconductor integrated circuit equipment concerning the 1st operation gestalt is applied to the chip which has a memory function, it becomes possible to increase memory space easily comparatively cheaply.

[0037] In addition, when the semiconductor integrated circuit equipment which made 1 set the chip in which the laminating was carried out by adhesion as described above, carried out the assembly of the 2 or more sets on the printed wiring member, for example, carried out the resin seal is constituted, effectiveness which was described above is acquired similarly.

[0038] Moreover, also when the semiconductor integrated circuit equipment in the condition (condition by which an assembly is not carried out on the printed wiring member) that the rear faces of said two chips pasted up with electroconductive glue, and the laminating was carried out is constituted, the same effectiveness as the 1st operation gestalt is acquired.

[0039] Drawing 2 is the sectional view showing the modification of the semiconductor integrated circuit equipment shown in drawing 1.

[0040] Compared with the semiconductor integrated circuit equipment shown in drawing 1, this semiconductor integrated circuit equipment carries the electronic parts 21, such as a capacitor, an inductance, resistance, an oscillator circuit, and a decoder circuit, in the component and connection terminal forming face of the 2nd chip, and it changes them so that the electronic parts by which external connection was made may be built in conventional semiconductor integrated circuit equipment.

[0041] In this case, with the semiconductor integrated circuit equipment which needs

high-speed operation, although many power-source capacitors are generally required, since it changed so that these might be built in, a smaller memory card etc. is realizable.

[0042] Next, one example of the operation gestalt of the chip field on the wafer before dividing each chip concerning said 1st operation gestalt from a wafer is explained.

[0043] Drawing 13 is the sectional view showing an example of the chip field on a wafer roughly.

[0044] As shown in drawing 13, with the P type substrate, two or more semiconductor layers (N a well field) of a reverse conductivity type are alternatively formed in the chip field 1 in the shape of an island at the surface section of the P type silicon substrate (P-SUB) 10. And N well each, two or more functional circuits are formed respectively corresponding to a field, and insulating separation of each functional circuit is mutually carried out by the isolation region. This isolation region is formed over the perimeter of the side face of the chip field 1, and the P type silicon substrate 10 is used in this example.

[0045] Two or more functional circuits where functions differ mutually, for example are loaded together, and while an isolation region separates the functional circuit which sways the potential of a chip among two or more functional circuits from other functional circuits, the isolation region is formed in the chip field 1 shown in drawing 13 over the perimeter of the side face of a chip.

[0046] Since the isolation region has separated the functional circuit (at least one of a nonvolatile memory circuit and the analog circuits is included) which sways especially the potential of a chip from other functional circuits (at least one of a digital circuit, a digital to analog circuit, a static mold memory circuit, and the dynamic mold memory circuits is included) according to such a chip field 1, the functional circuit which sways the potential of a chip will not affect other functional circuits.

[0047] In this example, a processor 2, SRAM3 and DRAM4, Flash-EEPROM5, etc. are formed as said two or more functional circuits.

[0048] In addition, said processor 2 includes circuits fundamentally constituted by the logical circuit, such as control circuits, such as CPU (Central Processing Unit) besides a microprocessor, and DSP (Digital Signal Processer), or an arithmetic circuit. Said SRAM3 contains memory circuits fundamentally constituted by the logical circuit, such as a cross couple mold latch circuit besides SRAM. DRAM4 contains DRAM of synchronous control besides DRAM of asynchronous control etc. Said Flash-EEPROM5 contains a NAND mold besides a NOR mold etc.

[0049] That is, in drawing 13, into the P type silicon substrate 10, two or more big N

type wells (N-WELL) 22-2 to 22-5 are formed, it corresponds to each and a processor 2, SRAM3 and DRAM4, and Flash-EEPROM5 are formed.

[0050] The respectively optimal power-source potential for each functional circuit is supplied to the big well 22-2 to 22-5. a well 22-2 -- the high potential power source VCC -- the high potential power source VDD4 is supplied to a well 22-4, and the high potential power source VDD5 is supplied for the high potential power source VDD3 to the well 22-3 at the well 22-5.

[0051] The high potential power source VCC is an external power supplied from the outside of a chip 1 with the low voltage power source VSS which is not illustrated, and the high potential power sources VDD3-VDD5 are internal electrical power sources generated by carrying out electrical-potential-difference conversion of the external power VCC within a chip 1, respectively. The above-mentioned electrical-potential-difference conversion contains the pressure up which raises pressure lowering and level which lower the level of an external power. The P type silicon substrate 10 is grounded at the time of real use and a test.

[0052] Functional circuits, such as a processor 2, SRAM3 and DRAM4, and Flash-EEPROM5, are formed in the N type well 22-2 to 22-5, respectively, and, as for the chip as shown in drawing 13 which was described above, between each functional circuit is mutually separated by the PN junction of the N type well 22-2 to 22-5, and the P type silicon substrate 10. For this reason, each of functional circuits can be tested while not having been influenced of other functional circuits. thereby, two or more properties of each functional circuit loaded together by one chip 1 that functions differ mutually can be measured correctly, respectively.

[0053] Moreover, since the P type silicon substrate 10 is the wafer itself, also in between [each] chips, each functional circuit comes to be separated mutually. For this reason, while not having been influenced of the functional circuit included in other chips in each of the functional circuits included in the chip 1, two or more chips 1 can be tested to coincidence. thereby, two or more properties of each functional circuit loaded together by one chip 1 that functions differ mutually can be correctly measured to coincidence with two or more chips 1, respectively.

[0054] moreover, the well 22-2 to 22-5 -- respectively -- being alike -- since mutually different potential is supplied, the power-source potential which can pull out the property of each functional circuit to the maximum extent can be given for every functional circuit.

[0055] Hereafter, the detailed cross-section structure of each well 22-2 to 22-5 in drawing 13 is explained.

[0056] Drawing 14 is the sectional view taking out and showing the well 22-2 in drawing 13.

[0057] As shown in drawing 14, in the big N type well 22-2, the P type well 23-2 and the N type well 24-2 are formed, respectively. The low voltage power source VSS (touch-down potential) is supplied to the P type well 23-2. The N channel mold (henceforth NMOS) MOSFET 1 is formed in the P type well 23-2. moreover, the big N type well 22-2 to the N type well 24-2 -- the same -- the high potential power source VCC is supplied. The P channel mold (henceforth PMOS) MOSFET 1 is formed in the N type well 24-2. The N type well 24-2 has high impurity concentration higher than the big N type well 22-2. Although detailed-ization of PMOS1 can be attained by this, there may not be the N type well 24-2.

[0058] In the big N type well 22-2, the P type well 25-2 is formed. The low voltage power source VSS (touch-down potential) is supplied to the P type well 25-2. In the P type well 25-2, the N type well 26-2 and the P type well 27-2 are formed, respectively. The high potential power source VDD2 is supplied to the N type well 26-2. A power source VDD2 is an internal electrical power source which was generated by carrying out electrical-potential-difference conversion of the external power potential within a chip 1 unlike the power source VCC. PMOS2 is formed in the N type well 26-2. Moreover, the low voltage power source VSS is supplied to the P type well 27-2. NMOS2 is formed in the P type well 27-2. The P type well 27-2 has high impurity concentration higher than the P type well 25-2. The P type well 27-2 may not be like the N type well 24-2.

[0059] Although a processor 2 is constituted by NMOSes 1 and 2 and PMOSes 1 and 2, you may make it constitute a processor 2 only from NMOS2 and PMOS2 which are driven according to an internal electrical power source VDD2 fundamentally. In this case, NMOS1 and PMOS1 which are driven by the external power VCC are good to be used for the electrical-potential-difference generating circuit which generates an internal electrical power source VDD2 from an external power VCC. Moreover, in the big N type well 22-2, two or more formation of the P type well 25-2 and the same P type well may be carried out.

[0060] In addition, in drawing 14, the reference mark G shows the gate of MOSFET.

[0061] Drawing 15 is the sectional view taking out and showing the well 22-3 in drawing 13.

[0062] As shown in drawing 15, in the big N type well 22-3, the P type well 23-3 and the N type well 24-3 are formed, respectively. The low voltage power source VSS (touch-down potential) is supplied to the P type well 23-3. NMOS3 is formed in the P

type well 23-3. moreover, the big N type well 22-3 to the N type well 24-3 -- the same -- the high potential internal electrical power source VDD3 is supplied. PMOS3 is formed in the N type well 24-3. The N type well 24-3 has high impurity concentration higher than the big N type well 22-3. There may not be the N type well 24-3.

[0063] In the big N type well 22-3, the P type well 25-3 is formed. The low voltage power source VSS (touch-down potential) is supplied to the P type well 25-3. In the P type well 25-3, the N type well 26-3 and the P type well 27-3 are formed, respectively. High potential internal electrical power source VDD3' is supplied to the N type well 26-3. Internal electrical power source VDD3' is generated by carrying out electrical-potential-difference conversion of the internal electrical power source VDD3 within a chip 1. PMOS4 is formed in the N type well 26-3. Moreover, the low voltage power source VSS is supplied to the P type well 27-3. NMOS4 is formed in the P type well 27-3. The P type well 27-3 has high impurity concentration higher than the P type well 25-3. The P type well 27-3 may not be like the N type well 24-3.

[0064] Although SRAM3 is constituted by NMOSes 3 and 4 and PMOSes 3 and 4, you may make it constitute SRAM3 only from NMOS4 and PMOS4 which are driven by internal electrical power source VDD3' fundamentally. In this case, NMOS3 and PMOS3 which are driven according to an internal electrical power source VDD3 are good to be used for the electrical-potential-difference generating circuit which generates internal electrical power source VDD3' from an internal electrical power source VDD3. Moreover, in the big N type well 22-3, two or more formation of the P type well 25-3 and the same P type well may be carried out.

[0065] In addition, in drawing 15, the reference mark G shows the gate of MOSFET.

[0066] Drawing 16 (A) and (B) are the sectional views taking out and showing the well 22-4 in drawing 13, respectively.

[0067] As shown in drawing 16 (A) and (B), in the big N type well 22-4, the P type well 23-4 and the N type well 24-4 are formed, respectively. The low voltage power source VSS (touch-down potential) is supplied to the P type well 23-4. NMOS5 is formed in the P type well 23-4. moreover, the big N type well 22-4 to the N type well 24-4 -- the same -- the high potential internal electrical power source VDD4 is supplied. PMOS5 is formed in the N type well 24-4. The N type well 24-4 has high impurity concentration higher than the big N type well 22-4. There may not be the N type well 24-4.

[0068] Furthermore, in the big N type well 22-4, three P type well 25A-4, 25B-4, and 25C-4 are formed.

[0069] The negative potential power source VBB (about -2~-3V) is supplied to the 1st P type well 25A-4. The negative potential power source VBB is generated by carrying out

electrical-potential-difference conversion of the internal electrical power source VDD4 within a chip 1. The memory cell transistor of a dynamic mold is formed in P type well 25A-4.

[0070] The low voltage power source VSS (touch-down potential) is supplied to the 2nd P type well 25B-4. In P type well 25B-4, N type well 26B-4 and P type well 27B-4 are formed, respectively. High potential internal electrical power source VDD4' is supplied to N type well 26B-4. Internal electrical power source VDD4' is generated by carrying out electrical-potential-difference conversion of the internal electrical power source VDD4 within a chip 1. PMOS6 is formed in N type well 26B-4. Moreover, the low voltage power source VSS is supplied to P type well 27B-4. NMOS6 is formed in P type well 27B-4. P type well 27B-4 have high impurity concentration higher than P type well 25B-4. P type well 27B-4 may not be like the N type well 24-4.

[0071] The negative potential power source VBB (about -2--3V) is supplied to the 3rd P type well 25C-4. In P type well 25C-4, N type well 26C-4 and P type well 27C-4 are formed, respectively. Quantity potential internal electrical power source VDD4" is supplied to N type well 26C-4. Internal electrical power source VDD4" is generated by carrying out electrical-potential-difference conversion of the internal electrical power source VDD4 within a chip 1. PMOS7 is formed in N type well 26C-4. Moreover, the negative potential power source VBB is supplied to P type well 27C-4. NMOS7 is formed in P type well 27C-4. P type well 27C-4 have high impurity concentration higher than P type well 25C-4. P type well 27C-4 may not be like the N type well 24-4.

[0072] The memory cell array of DRAM4 is constituted by the dynamic mold memory cell transistor, and the circumference circuit of DRAM4 is constituted by NMOSes 5 and 6 and PMOSes 5 and 6. You may make it constitute the circumference circuit of DRAM4 only from NMOS6 and PMOS6 which are driven by internal electrical power source VDD4'. In this case, NMOS5 and PMOS5 which are driven according to an internal electrical power source VDD4 are good to be used for internal electrical power source VDD4', VDD4", and the electrical-potential-difference generating circuit that generates VBB, for example from an internal electrical power source VDD4.

[0073] Moreover, the circuit which uses the pressure-up potential VPP, for example, a word line driver etc., is included in the circumference circuit of DRAM4. Since such a circuit is constituted, the N type well by which the pressure-up potential VPP is supplied to P type well 25B-4 etc. may be formed.

[0074] Moreover, NMOS7 and PMOS7 which are formed in P type well 25C-4 to which the negative potential power source VBB was supplied are good to be used for constituting the functional circuit of the others driven according to a power source

which the exterior of a chip 1, the I/O circuit which performs an exchange of a signal, the processor 2 currently formed in other wells are formed in a chip 1, and is different, and the internal interface circuit which performs an exchange of a signal. As for an I/O circuit or an internal interface circuit, a surge may be inputted. In order to clamp this surge, VBB which is electronegative potential is supplied to P type well 25C-4. the P type well to which such electronegative potential is supplied -- not only the N type well 22-4 but the N type well 22-2, 22-3, and 22-5 -- it is alike, respectively and you may make it prepare And it is good to form the exterior of a chip 1, the I/O circuit which performs an exchange of a signal and other functional circuits, and the internal interface circuit that performs an exchange of a signal in the P type well to which electronegative potential is supplied.

[0075] in addition, drawing 16 (A) and (B) -- setting -- a reference mark G -- the gate of MOSFET -- a reference mark BL -- a bit line -- in the reference mark WL, a reference mark PL shows the plate electrode of a memory capacitor, and the reference mark SN shows the storage electrode of a memory capacitor for the word line, respectively.

[0076] Drawing 17 (A) and (B) are the sectional views taking out and showing the well 22-5 in drawing 13, respectively.

[0077] As shown in drawing 17 (A) and (B), in the big N type well 22-5, the P type well 23-5 and the N type well 24-5 are formed, respectively. The low voltage power source VSS (touch-down potential) is supplied to the P type well 23-5. NMOS9 is formed in the P type well 23-5. moreover, the big N type well 22-5 to the N type well 24-5 -- the same -- the high potential internal electrical power source VDD5 is supplied. PMOS9 is formed in the N type well 24-5. The N type well 24-5 has high impurity concentration higher than the big N type well 22-5. There may not be the N type well 24-5. Furthermore, in the big N type well 22-5, two P type well 25A-5 and 25B-5 are formed.

[0078] The low voltage power source VSS (touch-down potential) is supplied to the 1st P type well 25A-5. In P type well 25A-5, N type well 26A-5 and P type well 27A-5 are formed, respectively. Quantity potential internal electrical power source VDD5" is supplied to N type well 26A-5. Internal electrical power source VDD5" is generated by carrying out electrical-potential-difference conversion of the internal electrical power source VDD5 within a chip 1. PMOS8 is formed in N type well 26A-5. Moreover, the low voltage power source VSS is supplied to P type well 27A-5. NMOS8 is formed in P type well 27A-5. P type well 27A-5 have high impurity concentration higher than P type well 25A-5. P type well 27A-5 may not be like the N type well 24-5.

[0079] Moreover, in the 1st P type well 25A-5, the N type well 26A0-5 is formed further. High potential internal electrical power source VDD5' and the pressure-up potential

VEE are mutually changed to the N type well 26A0-5, and are supplied to it. Internal electrical power source VDD5' and the pressure-up potential VEE are generated by carrying out electrical-potential-difference conversion of the internal electrical power source VDD5 within a chip 1. In the N type well 26A0-5, the P type well 28-5 is formed. The low voltage power source VSS, the pressure-up potential VEE, and the pressure-lowering potential VBB are mutually changed to the P type well 28-5, and are supplied to it. The pressure-lowering potential VBB is generated by carrying out electrical-potential-difference conversion of the internal electrical power source VDD5 within a chip 1. The memory cell transistor of a NAND mold is formed in the P type well 28-5. When erasing data from the memory cell transistor of a NAND mold, the control gate CG is grounded and the pressure-up potential VEE is supplied to the N type well 26A0-5 and the P type well 28-5, respectively. Thereby, an electron is drawn out by the P type well 28-5 from a floating gate FG, and data are erased. On the other hand, when writing data in the memory cell transistor of a NAND mold, the control gate CG is made into a program electrical potential difference, potential VDD5' is supplied to the N type well 26A0-5, and the pressure-lowering potential VBB is supplied to the P type well 28-5. Thereby, an electron is poured into a floating gate FG from the channel under a floating gate FG, and data are written in. Moreover, when reading the data memorized by the memory cell transistor of a NAND mold, the control gate CG is read, it considers as an electrical potential difference, potential VDD5' is supplied to the N type well 26A0-5, and low voltage VSS is supplied for the P type well 28-5. The data of "0, 1" which are expressed with a channel by whether a current flows or not by this are judged according to the electrification condition of a floating gate FG, and data are read to a bit line BL.

[0080] The low voltage power source VSS (touch-down potential) is supplied to the 2nd P type well 25B-5. In P type well 25B-5, N type well 26B-5 and P type well 27B-5 are formed, respectively. Quantity potential internal electrical power source VDD5'" is supplied to N type well 26B-5. Internal electrical power source VDD5'" is generated by carrying out electrical-potential-difference conversion of the internal electrical power source VDD5 within a chip 1. PMOS10 is formed in N type well 26B-5. Moreover, the low voltage power source VSS is supplied to P type well 27B-5. NMOS10 is formed in P type well 27B-5. P type well 27B-5 have high impurity concentration higher than P type well 25B-5. P type well 27B-5 may not be like the N type well 24-5.

[0081] The memory cell array of Flash-EEPROM5 is constituted by the memory cell transistor of a NAND mold, and the circumference circuit of Flash-EEPROM5 is constituted by NMOSes 8, 9, and 10 and PMOSes 8, 9, and 10. You may make it

constitute the circumference circuit of Flash-EEPROM5 only from NMOSes 8 and 10 and PMOSes 8 and 10 which are driven by internal electrical power source VDD5" and VDD5". in this case -- an internal electrical power source -- VDD -- five -- driving -- having -- NMOS -- nine -- PMOS -- nine -- for example, -- an internal electrical power source -- VDD -- five -- from -- an internal electrical power source -- VDD -- five -- ' -- VDD -- five -- ' -- ' -- VDD -- five -- ' -- ' -- ' -- VBB -- VEE -- generating -- making -- an electrical potential difference -- generating -- a circuit -- using it -- having -- if -- being good .

[0082] In addition, in drawing 17 (A) and (B), the reference mark G shows the gate of MOSFET.

[0083] Although the outer potential power source VCC was given to the well in which the processor 2 is formed with the above operation gestalt, you may give the well in which other functional circuits are formed. Furthermore, the well to which the outer potential power source VCC is given is formed further, and you may make it form the circuit which generates the potential given to this well at other wells.

[0084] Although the laminating of the chip (field) rear faces was pasted up and carried out by making one chip (field) into a unit with the operation gestalt of the <operation gestalt of ** 2nd of semiconductor integrated circuit equipment> above 1st, the 2nd operation gestalt which pastes up and carries out the laminating of the chip rear faces by making two or more chip fields into a unit is explained below.

[0085] Drawing 3 (a) and (b) show roughly the cross-section structure which starts the 2nd operation gestalt of the semiconductor integrated circuit equipment of this invention, respectively.

[0086] The 1st-set chip and the 2nd-set chip divide as a unit two or more adjoining chip fields (this example 2 chip field) 30 judged as an excellent article by inspection in the condition of having formed the component in the wafer. In this case, the example which divided as a unit 2 chip field which adjoins for example, in the direction of X of XY axis of coordinates of a wafer side is shown in drawing 3 (a), and the example which divided as a unit 2 chip field which adjoins for example, in the direction of Y of XY axis of coordinates of a wafer side is shown in drawing 3 (b).

[0087] Each above-mentioned chip field 30 is each chip in the 1st operation gestalt, the chip which loaded together two or more kinds of functional circuits similarly, or the chip (for example, memory chip) with which the functional circuit of a single class was formed. In this case, since each field between chips (dicing line section) is an isolation region by the wafer itself, insulating separation of between the chips of each class is carried out.

[0088] It pastes up with electroconductive glue with the rear faces of 2 sets of chip fields which make such two chip fields a unit good [thermal conductivity], and the laminating is carried out. And the assembly of the part for four chips of such an adhesion laminated structure is carried out on a printed wiring member, for example, the closure is carried out with insulating resin (not shown), and it becomes semiconductor integrated circuit equipment. In this case, the component and connection terminal forming face of the chip field of the 1st set are larger printed wiring member 31a a little than the twice of a chip size. Or 31b It turns connection immobilization with a flip chip method up, and the connection terminal of the component and connection terminal forming face of the chip field of the 2nd set is connected to the connection terminal on said printed circuit board by the bonding wire 32. And the closure of the two chips of these bonding wires and an adhesion laminated structure is carried out with resin.

[0089] In addition, the external connection terminal block ball grid array type [for example,] is formed in the rear face (non-carrying field of a chip) of the above-mentioned printed wiring member. Moreover, you may make it connect the connection terminal of the component and connection terminal forming face of the chip field of the 2nd above-mentioned set with the exterior through a bump electrode (not shown).

[0090] The semiconductor integrated circuit equipment concerning such 2nd operation gestalt Since thermal conductivity pastes up with good adhesives and the laminating is carried out, the rear faces of 2 sets of chip fields (a total of four chips) which make two chip fields a unit Flat-surface size doubles [about], compared with the semiconductor integrated circuit equipment concerning the 1st operation gestalt, when memory is formed as a functional circuit, memory space doubles, and as for others, the same effectiveness as the 1st operation gestalt is acquired fundamentally.

[0091] In addition, although this example showed the case where 2 chip field was made into a unit, as two or more adjoining chip fields, it is possible not only this but to expand a unit with 3 chip field, 4 chip field, and --, and to carry out.

[0092] Moreover, when the semiconductor integrated circuit equipment which made 1 set the chip in which the laminating was carried out by adhesion as described above, carried out the assembly of the 2 or more sets on the printed wiring member, for example, carried out the resin seal is constituted, effectiveness which was described above is acquired similarly.

[0093] Moreover, when the semiconductor integrated circuit equipment in the condition (condition by which an assembly is not carried out on the printed wiring member) that

the rear faces of 2 sets of said chip fields pasted up with electroconductive glue, and the laminating was carried out is constituted, effectiveness which was described above is acquired similarly.

[0094] Although the operation gestalt of the <operation gestalt of ** 3rd of semiconductor integrated circuit equipment> above 1st and the 2nd operation gestalt showed the two-step adhesion laminated structure which pasted up and carried out the laminating of the chip (field) rear faces. The connection terminal of the component and connection terminal forming face of the chip by the side of one side (field) and the connection terminal of the component and connection terminal forming face of 3rd another chip (field) are connected through a bump electrode, and the 3rd operation gestalt which realizes a three-step laminated structure is explained below.

[0095] Drawing 4 shows roughly the cross-section structure concerning the 3rd operation gestalt of the semiconductor integrated circuit equipment of this invention.

[0096] In drawing 4, as 40 was mentioned above with reference to drawing 1 or drawing 3 (a), and (b), it is semiconductor integrated circuit equipment of the condition in front of the packaging of a two-step adhesion laminated structure, and 41 is the 3rd chip (or chip field of the 3rd set) prepared separately.

[0097] Connection immobilization of the component and the connection terminal forming face by the side of one side of this 3rd chip (or chip field of the 3rd set) is carried out by the flip chip method on the printed wiring member 42, and, on the other hand, connection immobilization of the component and the connection terminal forming face by the side of one side of said 1st chip (or chip field of the 1st set) is carried out by the flip chip method at the rear component and connection terminal forming face.

[0098] And said printed wiring member 42 is the case 431 of a package, and 432. It holds inside. The component and connection terminal forming face by the side of the connection terminal of the component and connection terminal forming face by the side of one side of said 2nd chip (or chip field of the 2nd set) and one side of said 3rd chip (or chip field of the 3rd set). For example, the bonding wire 44 connects to the trunk connection node within a case, and the external terminal 45 which projects in the shape of a pin is electrically connected from the base of the above-mentioned trunk connection node and a package.

[0099] In addition, although the example by which the external pin-like terminal block is formed in the base of the above-mentioned package was shown, especially the class of this package is not limited and may adopt BGA (ball grid array), CSP (chip-size package), etc. Drawing 5 is the sectional view showing the modification of the semiconductor integrated circuit equipment shown in drawing 4.

[0100] This semiconductor integrated circuit equipment carries the electronic parts 51, such as a capacitor, an inductance, resistance, an oscillator circuit, and a decoder circuit, in the component and connection terminal forming face of the 2nd chip, compared with the semiconductor integrated circuit equipment shown in drawing 4, it changes them so that the electronic parts by which external connection was made may be built in conventional semiconductor integrated circuit equipment, and the BGA type external terminal 52 is used for it.

[0101] In this case, you may make it connect the connection terminal of the component and connection terminal forming face of said chip field of the 2nd set with electronic parts through a bump electrode (not shown).

[0102] Drawing 6 shows roughly the cross-section structure concerning the 4th operation gestalt of the semiconductor integrated circuit equipment of this invention.

[0103] In drawing 6, as 61 and 62 were mentioned above with reference to drawing 1 or drawing 3 (a); and (b), respectively, it is two semiconductor integrated circuit equipments of the condition in front of the packaging of a two-step adhesion laminated structure, and connection immobilization of these is carried out for example, by the flip chip method on the larger printed wiring member (for example, printed wiring substrate) 63 a little than the twice of a chip size.

[0104] And said printed wiring member is the case 641 of a package, and 642. It holds inside. The connection terminal of the component and connection terminal forming face by the side of one side of said 2nd chip (or chip field of the 2nd set), and the connection terminal on a printed wiring member For example, the bonding wire 65 connects to the trunk connection node within a case, and the above-mentioned trunk connection node and the external terminal of the shape for example, of BGA formed in the base of a package are connected electrically.

[0105] If the system substrate which mounted two or more above-mentioned semiconductor integrated circuit equipments as a system substrate of the device (for example, a computer, the data temporary memory of the circumference of it) incorporating the semiconductor integrated circuit equipment concerning either of the gestalten of <operation gestalt of plurality of system substrate> aforementioned each operation is used, when memory is formed as a functional circuit, inside capacity and large capacity can realize comparatively cheaply, and improvement in the degree of integration of a system substrate and a miniaturization can realize.

[0106] Two or more operation gestalten of such a system substrate are explained below.

[0107] Drawing 7 is the perspective view showing roughly the 1st operation gestalt of the system substrate of this invention.

[0108] On the printed wiring substrate 70, this system substrate is mounted, after the semiconductor integrated circuit equipment 71 of said 1st operation gestalt has been put in order by total of two lines and two trains [four], and it constitutes the so-called multi chip module. In this case, when memory is formed as a functional circuit of each chip field, inside capacity can be realized comparatively cheaply and improvement in the degree of integration of a system substrate and a miniaturization can be realized.

[0109] Drawing 8 is the top view showing roughly the 2nd operation gestalt of the system substrate of this invention.

[0110] On the printed wiring substrate 80, this system substrate is mounted, after the semiconductor integrated circuit equipment 81 of said 1st operation gestalt has been put in order by total of two lines and two trains [four], and logic type semiconductor integrated circuit equipment 82 and two or more capacitors 83 are mounted on the still more nearly same substrate 80. In this case, when memory is formed as a functional circuit of each chip field, inside capacity can be realized comparatively cheaply and improvement in the degree of integration of a system substrate and a miniaturization can be realized.

[0111] Drawing 9 is the top view showing roughly the 3rd operation gestalt of the system substrate of this invention.

[0112] The semiconductor integrated circuit equipment 91 which this system substrate requires for said 2nd operation gestalt or the 3rd operation gestalt on the printed wiring substrate 90 is mounted after having been arranged by total of two lines and two trains [four], and logic type semiconductor integrated circuit equipment 92 and two or more capacitors 93 are mounted on the still more nearly same printed wiring substrate 90. In this case, when memory is formed as a functional circuit of each chip field, inside capacity - large capacity can be realized comparatively cheaply, and improvement in the degree of integration of a system substrate and a miniaturization can be realized comparatively easily.

[0113] Drawing 10 is the sectional view showing roughly the 4th operation gestalt of the system substrate of this invention.

[0114] This system substrate is the printed wiring substrate 100. Semiconductor integrated circuit equipment 101 applied to both sides at either of said each operation gestalt, respectively It is mounted where more than one are put in order, and it is the still more nearly same printed wiring substrate 100. It is logic type semiconductor integrated circuit equipment 102 to one side. It is mounted. In this case, when memory is formed as a functional circuit of each chip field, a mass memory card can be realized comparatively cheaply and much more improvement in the degree of integration of a

system substrate and a miniaturization can be realized.

[0115] Drawing 11 is the perspective view showing roughly the 5th operation gestalt of the system substrate of this invention.

[0116] This system substrate is the printed wiring substrate 110. Semiconductor integrated circuit equipment 111 applied to said 1st operation gestalt or its modification upwards, respectively It is mounted where more than one are put in order, and it is the still more nearly same printed wiring substrate 110. It is logic type semiconductor integrated circuit equipment 112 upwards. CPU113 Two or more capacitors 114 It is mounted. In this case, when memory is formed as a functional circuit of each chip field, a mass memory card can be realized comparatively cheaply and much more improvement in the degree of integration of a system substrate and a miniaturization can be realized.

[0117] Drawing 12 is the perspective view showing roughly the 6th operation gestalt of the system substrate of this invention.

[0118] This system substrate is the printed wiring substrate 120. Semiconductor integrated circuit equipment 121 concerning the gestalt of said 2nd operation upwards It is mounted where more than one are put in order, and it is the still more nearly same printed wiring substrate 120. It is logic type semiconductor integrated circuit equipment 122 to one side. It is mounted. In this case, when memory is formed as a functional circuit of each chip field, a mass memory card can be realized comparatively cheaply and much more improvement in the degree of integration of a system substrate and a miniaturization can be realized.

[0119]

[Effect of the Invention] As mentioned above, even when at least two rear faces of the semiconductor integrated circuit chip consolidated with two or more functional circuits are pasted up according to the semiconductor integrated circuit equipment of this invention, while raising a heat dissipation property, the bad influence to electrical characteristics can be reduced, and stabilization of the actuation especially under low-battery actuation can be attained.

[0120] Furthermore, when it applies to the chip which has a memory function according to the semiconductor integrated circuit equipment of this invention, memory space can be increased easily comparatively cheaply.

[0121] Moreover, according to the system substrate of this invention, improvement in a degree of integration and a miniaturization are realizable, and when the chip which has a memory function is used, inside capacity and large capacity can be realized comparatively cheaply.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The sectional view showing roughly the 1st operation gestalt of the semiconductor integrated circuit equipment of this invention.

[Drawing 2] The sectional view showing the modification of the semiconductor integrated circuit equipment shown in drawing 1.

[Drawing 3] The sectional view showing roughly the 2nd operation gestalt of the semiconductor integrated circuit equipment of this invention.

[Drawing 4] The sectional view showing roughly the 3rd operation gestalt of the semiconductor integrated circuit equipment of this invention.

[Drawing 5] The sectional view showing the modification of the semiconductor integrated circuit equipment shown in drawing 4.

[Drawing 6] The sectional view showing roughly the 4th operation gestalt of the semiconductor integrated circuit equipment of this invention.

[Drawing 7] The perspective view showing roughly the 1st operation gestalt of the system substrate of this invention.

[Drawing 8] The top view showing roughly the 2nd operation gestalt of the system substrate of this invention.

[Drawing 9] The top view showing roughly the 3rd operation gestalt of the system substrate of this invention.

[Drawing 10] The sectional view showing roughly the 4th operation gestalt of the system substrate of this invention.

[Drawing 11] The perspective view showing roughly the 5th operation gestalt of the system substrate of this invention.

[Drawing 12] The perspective view showing roughly the 6th operation gestalt of the system substrate of this invention.

[Drawing 13] The sectional view showing roughly a chip field example on the wafer before dividing each chip concerning the 1st operation gestalt of the semiconductor integrated circuit equipment of this invention from a wafer.

[Drawing 14] The sectional view taking out and showing the well 22-2 in drawing 13.

[Drawing 15] The sectional view taking out and showing the well 22-3 in drawing 13.

[Drawing 16] The sectional view taking out and showing the well 22-4 in drawing 13.

[Drawing 17] The sectional view taking out and showing the well 22-5 in drawing 13.

[Drawing 18] The sectional view showing an example of the conventional CMOS structure.

[Description of Notations]

- 11 -- The 1st chip,
- 12 -- The 2nd chip,
- 13 -- Electroconductive glue,
- 14 -- Printed wiring member,
- 15 -- Closure resin,
- 16 -- Bonding wire.

Abstract:

PROBLEM TO BE SOLVED: To improve integration degree and to reduce size by forming a second well region selectively in an island shape into a first well region, arranging two chips at the second well region, and gluing the rear sides of the chips with a conductive adhesive.

SOLUTION: A P-type well 23-2 and an N-type well 24-2 are formed in a large N-type well 22-2. An N-channel-type MOSFET1 is formed in the P-type well 23-2, and a low-potential power supply VSS is supplied. Also, the P-channel-type MOSFET1 is formed at the N-type well 24-2, and a high-potential power supply VCC that is the same as the large N-type well is supplied. Further, a P-type well 25-2 is formed in the large N-type well 22-2. An N-type well 26-2 and a P-type well 27-2 are formed in the P-type well 25-2, and a PMOS2 and an NMOS2 are formed in the N-type well 26-2 and the P-type well 27-2, respectively. The rear sides of the chips are glued and laminated.

[Translation done.]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2001-35994
(P2001-35994A)

(43)公開日 平成13年2月9日(2001.2.9)

(51)Int.Cl.⁷

H 0 1 L 25/065
25/07
25/18

識別記号

F I

H 0 1 L 25/08

デマコト* (参考)

Z

審査請求 未請求 請求項の数13 O L (全 14 頁)

(21)出願番号 特願平11-201965

(22)出願日 平成11年7月15日(1999.7.15)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 桃原 朋美

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝マイクロエレクトロニクスセン
ター内

(74)代理人 100058479

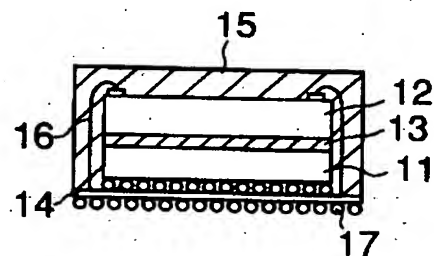
弁理士 鈴江 武彦 (外6名)

(54)【発明の名称】 半導体集積回路装置およびシステム基板

(57)【要約】

【課題】複数の機能回路を混載した集積回路チップの裏面同士を接着した場合でも、放熱特性を向上させるとともに電気的特性への悪影響を低減させ、特に低電圧動作下における動作の安定化を図り、メモリ機能を有するチップに適用した場合に比較的安価にメモリ容量を容易に増大させる。

【解決手段】第1導電型の半導体基板10の表層部に選択的に島状に形成された複数の第2導電型のウエル領域22-2~22-5に各対応して機能回路2~5が形成され、各機能回路が分離領域によって互いに分離されて形成された2個のチップ11、12と、2個のチップのそれぞれの裏面同士を接着した導電性接着剤と、接着により積層されたチップがアセンブリされ、そのアセンブリ面とは反対側に外部端子17が設けられた印刷配線部材14とを具備する。



【特許請求の範囲】

【請求項1】 第1導電型の半導体基板の表層部に選択的に島状に複数形成された前記第1導電型とは逆導電型である第2導電型の第1のウエル領域、前記第1のウエル領域中に選択的に島状に形成された第1導電型の第2のウエル領域および少なくとも前記第2のウエル領域に形成された機能回路を含む2個のチップと、前記2個のチップのそれぞれの裏面同士を接着した導電性接着剤とを具備することを特徴とする半導体集積回路装置。

【請求項2】 前記接着により積層されたチップがアセンブリされた印刷配線部材をさらに具備することを特徴とする請求項1記載の半導体集積回路装置。

【請求項3】 チップ間分離領域を介して隣接する複数のチップ領域を単位とする2個のチップと、前記2個のチップのそれぞれの裏面同士を接着した導電性接着剤とを具備し、前記各チップ領域は、第1導電型の半導体基板の表層部に前記第1導電型とは逆導電型である第2導電型の第1のウエル領域が選択的に島状に複数形成され、前記第1のウエル領域中に第1導電型の第2のウエル領域が選択的に島状に形成され、少なくとも前記第2のウエル領域に機能回路が形成されていることを特徴とする半導体集積回路装置。

【請求項4】 前記接着により積層されたチップがアセンブリされた印刷配線部材をさらに具備することを特徴とする請求項3記載の半導体集積回路装置。

【請求項5】 前記接着により積層されたチップは、その片面側の接続端子は前記印刷配線部材上にフリップチップ方式により接続固定されており、その他面側の接続端子はボンディングワイヤーにより前記印刷配線部材上の接続端子に接続されており、前記印刷配線部材は、前記チップがアセンブリされた面とは反対側に外部端子が設けられており、前記接着により積層されたチップ、印刷配線部材およびボンディングワイヤーは絶縁樹脂により封止されていることを特徴とする請求項2または4記載の半導体集積回路装置。

【請求項6】 前記印刷配線部材は前記接着により積層されたチップを1個搭載し、前記印刷配線部材のサイズは前記チップのサイズより若干大きめであり、チップサイズパッケージを有することを特徴とする請求項2、4、5のいずれか1項に記載の半導体集積回路装置。

【請求項7】 前記印刷配線部材は、前記接着により積層されたチップを複数個搭載したことを特徴とする請求項2、4、5のいずれか1項に記載の半導体集積回路装置。

【請求項8】 第1導電型の半導体基板の表層部に選択的に島状に複数形成された前記第1導電型とは逆導電型である第2導電型の第1のウエル領域、前記第1のウエル領域中に選択的に島状に形成された第1導電型の第2

のウエル領域および少なくとも前記第2のウエル領域に形成された機能回路を含むチップ領域を少なくとも1個有する第1、第2および第3のチップと、

前記第1および第2のチップのそれぞれの裏面同士を接着した導電性接着剤と、前記接着により積層された第1のチップの片面側と前記第3のチップの片面側とをフリップチップ方式により接続固定したフリップチップ接続部と、

前記第3のチップの他面側がアセンブリされた印刷配線部材と、

前記印刷配線部材およびその上にアセンブリされた三層積層構造のチップを収容し、前記第2のチップの他面側および前記印刷配線部材上の接続端子に選択的かつ電気的に接続される複数の外部端子を有するパッケージとを具備することを特徴とする半導体集積回路装置。

【請求項9】 前記複数の第1のウエル領域中にそれぞれ形成された機能回路は、互いに機能が異なっている機能回路であり、半導体チップの電位を揺らす機能回路を含むことを特徴とする請求項1乃至8のいずれか1項に記載の半導体集積回路装置。

【請求項10】 前記複数の第1のウエル領域中にそれぞれ形成された機能回路は、不揮発性メモリ回路、アナログ回路、デジタル回路、デジタル／アナログ変換回路、スタティック型メモリ回路、ダイナミック型メモリ回路のうち、少なくとも2つを含むことを特徴とする請求項1乃至8のいずれか1項に記載の半導体集積回路装置。

【請求項11】 前記複数の第1のウエル領域中にそれぞれ形成された機能回路は、全体としてメモリ回路を構成していることを特徴とする請求項1乃至8のいずれか1項に記載の半導体集積回路装置。

【請求項12】 それぞれ請求項1乃至11のいずれか1項に記載の複数の半導体集積回路装置と、前記複数の半導体集積回路装置を片面側に実装した印刷配線基板とを具備することを特徴とするシステム基板。

【請求項13】 それぞれ請求項1乃至11のいずれか1項に記載の複数の半導体集積回路装置と、前記複数の半導体集積回路装置を両面に実装した印刷配線基板とを具備することを特徴とするシステム基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置およびシステム基板に係り、特にチップ裏面同士を接着した半導体集積回路装置およびそれを複数個実装したシステム基板に関するものであり、半導体集積回路装置を組み込んだ機器のシステム基板の集積度の向上、小形化を実現するために使用される。

【0002】

【従来の技術】半導体装置を使用した製品、特にパーソ

ナルコンピュータ、携帯電話、ゲーム機などの分野を中心に、多機能化、小型化、低価格化の要求が高まっている。

【0003】多機能化を推進していくと、システムが複雑になり、様々な機能の半導体装置を必要とし、また、膨大な容量のメモリを必要とする。このため、システムを構築するのに必要な単体の半導体装置の数が増す。

【0004】単体の半導体装置では、特にプロセッサを中心に、年々、多くの機能が1チップに集積されつつあり、小型化している。また、メモリ装置も同様で、1チップに集積される容量が増え、やはり小型化している。

【0005】現在、メモ리카ードは、フロッピーディスク駆動装置、ハードディスク駆動装置などの機械的制御による記憶媒体を置き換えるべく、高集積化、高信頼性化、小形化を目指して技術開発がなされている。そして、デジタルカメラ、ボイスレコーダ装置などの分野では、小容量の記憶媒体（フィルム、テープなど）の置き換えとしてメモ리카ードが徐々に採用されている。

【0006】しかし、現状では、メモ리카ードは高価であり、大容量の記憶媒体（フロッピーディスク、ハードディスクなど）の置き換えを目指すには、さらなる高集積化、低価格化の実現が望まれる。現時点では、高集積化、低価格化を図るためには、先端プロセス、回路技術を採用しているが、製造価格が高くなり、メモ리카ードの市場拡大が制限されている。また、メモリの大容量化に伴い、チップサイズが増大し、歩留りの向上が困難になり、コストアップにつながる。

【0007】このような背景から、比較的小さな容量の2個のメモリチップの裏面同士を絶縁性接着剤により接着して積層する技術により、メモリ容量を容易に増大させ、中容量のメモリを比較的安価に実現する技術が提案されている。

【0008】しかし、このようなチップ積層技術を用いるとしても、チップの低価格化、小型化に対する市場の要求に応じるべく、微細化技術を導入すると、従来の素子分離技術や回路分離技術では、各回路で発生するノイズなどに起因して基板電位が不安定になる。特に低電源電圧が進んだ場合には、電源電圧に対して信号電圧の動作マージンが少なくなり、前記した誤動作が顕著になる。

【0009】これらの問題点について、以下に具体的に説明する。

【0010】図18(a)は、従来のCMOS構造の一例を持つメモリチップの断面構造を示しており、このチップの2個の裏面同士を絶縁性接着剤により接着して積層した状態の断面構造を図18(b)に示している。

【0011】即ち、図18(a)に示すようなトリプルウェル構造を用いたCMOS構造は、N型基板181の表層部に選択的に第1のPウェル182、第1のNウェル183、第2のPウェル184、基板電極領域185を形成して

いる。上記第1のPウェル182の表層部に選択的に第2のNウェル186、NMOSFETのソース・ドレイン領域187を形成するとともにPウェル電極領域188を形成している。前記第1のNウェル183および第2のNウェル186には、PMOSFETのソース・ドレイン領域189およびNウェル電極領域190を形成している。そして、前記第2のPウェル184には、NMOSFETのソース・ドレイン領域191を形成するとともにPウェル電極領域192を形成している。

【0012】このようなトリプルウェル構造は、外部電源電圧と内部回路の電源電圧とを変えて回路を動作を行わせる場合に用いられている。この場合、一般に、第1のPウェル182内の第2のNウェル186には、N型基板181の電位（電源電圧VCC1）より低い電位VCC2が印加される。

【0013】図18(b)に示すように、上記したような図18(a)の構造を有する2個のメモリチップ193の裏面同士を接着剤194により接着して積層する場合、電源電圧VCC1が例えば2.5Vより低下すると、電源電圧のリプルにより、一方のメモリチップのメモリセルのデータの内容が破壊されるおそれがあるので、絶縁性接着剤194により接着している。しかし、チップ裏面のラップ表面の凹凸により、チップ間絶縁距離のばらつきが問題になる。

【0014】一方、互いに機能が異なっている複数の機能回路を1つの半導体チップに混載する技術（いわゆるシステムオンシリコン技術）が模索されるようになってきた。

【0015】このような複数の機能回路を混載したチップに対して、従来の積層技術をそのまま適用することも可能ではあるが、各機能回路を分離領域によって互いに分離する技術と併用して効果的なチップ接着積層技術を適用する工夫を施すことが望まれる。

【0016】

【発明が解決しようとする課題】上述したように従来の絶縁性接着剤を用いたチップ積層技術は、低電圧動作化が進んだ場合に動作マージンが低下するなどの問題がある。

【0017】本発明は上記の事情に鑑みてなされたもので、複数の機能回路を混載した半導体集積回路チップの少なくとも2個の裏面同士を接着した場合でも、放熱特性を向上させるとともに電気的特性への悪影響を低減させ、特に低電圧動作下における動作の安定化を図ることが可能になる半導体集積回路装置を提供することを目的とする。

【0018】また、本発明は、メモリ機能を有するチップに適用した場合には、比較的安価にメモリ容量を容易に増大させることが可能になる半導体集積回路装置を提供することを目的とする。

【0019】また、本発明の他の目的は、本発明の複数の

チップ接着タイプの半導体集積回路装置を複数搭載することにより、集積度の向上、小形化を実現することができ、メモリ機能を有するチップを用いた場合には、中容量、大容量を比較的安価に実現し得るシステム基板を提供することにある。

【0020】

【課題を解決するための手段】本発明の第1の半導体集積回路装置は、第1導電型の半導体基板の表層部に選択的に島状に複数形成された前記第1導電型とは逆導電型である第2導電型の第1のウエル領域、前記第1のウエル領域中に選択的に島状に形成された第1導電型の第2のウエル領域および少なくとも前記第2のウエル領域に形成された機能回路を含む2個のチップと、前記2個のチップのそれぞれの裏面同士を接着した導電性接着剤とを具備することを特徴とする。

【0021】本発明の第2の半導体集積回路装置は、本発明の第1の半導体集積回路装置が少なくとも1個アセンブリされた印刷配線部材をさらに具備することを特徴とする。

【0022】本発明の第3の半導体集積回路装置は、チップ間分離領域を介して隣接する複数のチップ領域を単位とする2個のチップと、前記2個のチップのそれぞれの裏面同士を接着した導電性接着剤とを具備し、前記各チップ領域は、第1導電型の半導体基板の表層部に前記第1導電型とは逆導電型である第2導電型の第1のウエル領域が選択的に島状に複数形成され、前記第1のウエル領域中に第1導電型の第2のウエル領域が選択的に島状に形成され、少なくとも前記第2のウエル領域に機能回路が形成されていることを特徴とする。

【0023】本発明の第4の半導体集積回路装置は、本発明の第3の半導体集積回路装置が少なくとも1個アセンブリされた印刷配線部材をさらに具備することを特徴とする。

【0024】本発明の第5の半導体集積回路装置は、第1導電型の半導体基板の表層部に選択的に島状に複数形成された前記第1導電型とは逆導電型である第2導電型の第1のウエル領域、前記第1のウエル領域中に選択的に島状に形成された第1導電型の第2のウエル領域および少なくとも前記第2のウエル領域に形成された機能回路を含むチップ領域を少なくとも1個有する第1、第2および第3のチップと、前記第1および第2のチップのそれぞれの裏面同士を接着した導電性接着剤と、前記接着により積層された第1のチップの片面側と前記第3のチップの片面側とをフリップチップ方式により接続固定したフリップチップ接続部と、前記第3のチップの他面側がアセンブリされた印刷配線部材と、前記印刷配線部材およびその上にアセンブリされた三層積層構造のチップを收容し、前記第2のチップの他面側および前記印刷配線部材上の接続端子に選択的かつ電気的に接続される複数の外部端子を有するパッケージとを具備することを

特徴とする。

【0025】本発明のシステム基板は、本発明の半導体集積回路装置の複数個を、印刷配線基板の片面あるいは両面に実装したことを特徴とする。

【0026】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。

【0027】＜半導体集積回路装置の第1の実施形態＞図1は、本発明の半導体集積回路装置の第1の実施形態に係る断面構造を概略的に示している。

【0028】第1のチップ11および第2のチップ12は、それぞれの裏面同士が熱伝導性が良好な導電性接着剤13により接着して積層されている。これらの各チップは、複数の機能回路を混載した半導体集積回路チップであり、後で詳細に説明するが、その一例としては、半導体基板の表層部に選択的に島状に形成された複数の半導体層（ウエル領域）に各対応してプロセッサ、SRAM、DRAM、Flash-EEPROMなどの機能回路が形成され、各機能回路が分離領域によって互いに絶縁分離されたチップ領域が、ウエハーから分割されたものである。

【0029】なお、前記各チップ11、12は、複数のウエル領域に対応して複数種類の機能回路が形成されたもの（例えばメモリ混載チップ）に限らず、単一機能を有する機能回路の複数の構成要素が複数のウエル領域に対応して形成されたチップ（例えば半導体メモリのメモリセルアレイ、周辺回路、入出力回路などが複数のウエル領域に対応して形成されたメモリチップ）であってもよい。

【0030】そして、このような接着積層構造の2チップは、チップサイズより若干大きめの印刷配線部材（例えば印刷配線基板）14上にアセンブリされ、例えば絶縁樹脂15により封止され、樹脂封止型のチップサイズパッケージを有する半導体集積回路装置となる。

【0031】この場合、第1のチップ11の素子・接続端子形成面は、印刷配線板14上にフリップチップ方式により接続固定され、第2のチップ12の素子・接続端子形成面の接続端子は、例えばボンディングワイヤー16により前記印刷配線部材上の接続端子に接続されている。そして、これらのボンディングワイヤーおよび接着積層構造の2チップが前記樹脂15により封止されている。

【0032】なお、上記印刷配線部材14の裏面（チップの非搭載面）には、例えばボールグリッドアレイタイプの外部接続端子17群が形成されている。また、第2のチップ12の素子・接続端子形成面の接続端子は、バンプ電極（図示せず）を介して外部と接続するようにしてもよい。

【0033】このような半導体集積回路装置の第1の実施形態によれば、2個のチップの裏面同士が熱伝導性が良好な接着剤により接着されて積層されているので、一方のチップが動作状態で発熱していても、他方のチップ

のすくなくとも一部（例えばメモリ部）が例えば待機状態で発熱が少ない場合には、上記一方のチップの発熱を他方のチップからも放熱させることが可能になるので、放熱特性が向上する。

【0034】また、各チップの裏面同士が導電性接着剤により接着されて積層されているので、各チップの基板電位が等電位化されて安定化されるので、低電源電圧が進んだ場合の動作マージンの低下による電気的特性への悪影響が少なくなる。特に、各チップは、複数の機能回路を混載したチップであり、複数の機能回路がウェル領域により互いに絶縁分離されており、電気的に互いの影響が少ないので、低電源電圧が進んだ場合の電気的特性への悪影響が少ない。

【0035】また、各チップの裏面同士が導電性接着剤により接着されて積層されているので、各チップ裏面のラップ表面の凹凸が存在しても、チップ間絶縁距離のばらつきの問題は発生しない。

【0036】したがって、第1の実施形態に係る半導体集積回路装置をメモリ機能を有するチップに適用した場合には、比較的安価にメモリ容量を容易に増大させることが可能になる。

【0037】なお、前記したように接着により積層されたチップを1組として、2組以上を印刷配線部材上にアセンブリして例えば樹脂封止した半導体集積回路装置を構成した場合にも、上記したような効果が同様に得られる。

【0038】また、前記2個のチップの裏面同士が導電性接着剤により接着されて積層された状態（印刷配線部材上にアセンブリされていない状態）の半導体集積回路装置を構成した場合にも、第1の実施形態と同様の効果が得られる。

【0039】図2は、図1に示した半導体集積回路装置の変形例を示す断面図である。

【0040】この半導体集積回路装置は、図1に示した半導体集積回路装置と比べて、第2のチップの素子・接続端子形成面に、コンデンサ、インダクタンス、抵抗、発振回路、デコーダ回路などの電子部品21を搭載し、従来の半導体集積回路装置に外付け接続されていた電子部品を内蔵するように変更したものである。

【0041】この場合、高速動作を必要とする半導体集積回路装置では、一般に多数の電源コンデンサが必要であるが、これらを内蔵するように変更したので、より小型のメモリカードなどを実現することができる。

【0042】次に、前記第1の実施形態に係る各チップをウェハから分割する前のウェハ上のチップ領域の実施形態の1例について説明する。

【0043】図13は、ウェハ上のチップ領域の一例を概略的に示す断面図である。

【0044】図13に示すように、チップ領域1には、P型シリコン基板（P-SUB）10の表層部に、P型

基板とは逆導電型の複数の半導体層（Nウェル領域）が選択的に島状に形成されている。そして、各Nウェル領域に、それぞれ対応して複数の機能回路が形成され、各機能回路は分離領域によって互いに絶縁分離されている。この分離領域は、チップ領域1の側面の全周に渡って形成されており、本例ではP型シリコン基板10が用いられている。

【0045】図13に示すチップ領域1には、例えば互いに機能が異なっている複数の機能回路を混載しており、複数の機能回路のうちチップの電位を揺らす機能回路を分離領域によって他の機能回路から分離するとともに、分離領域をチップの側面の全周に渡って形成している。

【0046】このようなチップ領域1によれば、特にチップの電位を揺らす機能回路（不揮発性メモリ回路、アナログ回路の少なくとも1つを含む）を分離領域によって他の機能回路（デジタル回路、デジタル／アナログ変換回路、スタティック型メモリ回路、ダイナミック型メモリ回路の少なくとも1つを含む）から分離しているので、チップの電位を揺らす機能回路が他の機能回路に影響を与えなくなる。

【0047】本例では、前記複数の機能回路として、プロセッサ2、SRAM3、DRAM4、Flash-EEPROM5などが形成されている。

【0048】なお、前記プロセッサ2は、マイクロプロセッサの他、CPU (Central Processing Unit)、DSP (Digital Signal Processor) などの制御回路、あるいは演算回路など、基本的に論理回路により構成されている回路を含む。前記SRAM3は、SRAMの他、クロスカプル型ラッチ回路など、基本的に論理回路により構成されるメモリ回路を含む。DRAM4は、非同期型制御のDRAMの他、同期型制御のDRAMなどを含む。前記Flash-EEPROM5は、NOR型の他、NAND型なども含む。

【0049】即ち、図13において、P型シリコン基板10の中には、複数の大きなN型ウェル（N-WELL）22-2～22-5が設けられており、それぞれには対応してプロセッサ2、SRAM3、DRAM4、Flash-EEPROM5が形成されている。

【0050】大きなウェル22-2～22-5には、それぞれ各機能回路に最適な電源電位が供給されるようになっている。ウェル22-2に高電位電源VCCが、ウェル22-3に高電位電源VDD3が、ウェル22-4に高電位電源VDD4が、ウェル22-5に高電位電源VDD5が供給されている。

【0051】高電位電源VCCは、図示せぬ低電位電源VSSとともに、チップ1の外部から供給される外部電源であり、高電位電源VDD3～VDD5はそれぞれ、外部電源VCCをチップ1内で電圧変換することで発生された内部電源である。上記電圧変換は、外部電源のレ

ベルを下げる降圧およびレベルを上げる昇圧などを含む。P型シリコン基板10は、実使用時およびテスト時には接地される。

【0052】上記したような図13に示したようなチップは、プロセッサ2、SRAM3、DRAM4、Flash-EEPROM5などの機能回路がそれぞれ、N型ウェル22-2~22-5に形成され、各機能回路間が、N型ウェル22-2~22-5とP型シリコン基板10とのPN接合によって互いに分離されている。このため、機能回路の一つ一つを、他の機能回路の影響を受けないまま、テストすることができる。これにより、一つのチップ1に混載された、互いに機能の異なる複数の機能回路各々の特性を、それぞれ正確に測定することができる。

【0053】また、P型シリコン基板10は、ウェーハそのものであるので、各チップ相互間においても、各機能回路は、互いに分離されるようになる。このため、チップ1に含まれている機能回路の一つ一つを、他のチップに含まれている機能回路の影響を受けないまま、複数のチップ1を同時にテストできる。これにより、一つのチップ1に混載された、互いに機能の異なる複数の機能回路各々の特性を、複数のチップ1で同時に、それぞれ正確に測定することができる。

【0054】また、ウェル22-2~22-5それぞれには、互いに異なった電位が供給されるので、各機能回路の特性を最大限に引き出せるような電源電位を、各機能回路ごとに与えることができる。

【0055】以下、図13中の各ウェル22-2~22-5の詳細な断面構造を説明する。

【0056】図14は、図13中のウェル22-2を取り出して示す断面図である。

【0057】図14に示すように、大きなN型ウェル22-2の中には、P型ウェル23-2と、N型ウェル24-2とがそれぞれ形成されている。P型ウェル23-2には低電位電源VSS（接地電位）が供給されている。P型ウェル23-2にはNチャネル型MOSFET（以下、NMOSという）1が形成されている。また、N型ウェル24-2には、大きなN型ウェル22-2と同じ、高電位電源VCCが供給されている。N型ウェル24-2にはPチャネル型MOSFET（以下、PMOSという）1が形成されている。N型ウェル24-2は、大きなN型ウェル22-2よりも高い不純物濃度を有している。これにより、PMOS1の微細化を図れるが、N型ウェル24-2は、無くても良い。

【0058】大きなN型ウェル22-2の中には、P型ウェル25-2が形成されている。P型ウェル25-2には、低電位電源VSS（接地電位）が供給されている。P型ウェル25-2の中には、N型ウェル26-2と、P型ウェル27-2とがそれぞれ形成されている。N型ウェル26-2には高電位電源VDD2が供給されている。電源VDD2は、電源VCCと異なるもので、外部電源電位をチ

ップ1内で電圧変換することで発生された内部電源である。N型ウェル26-2にはPMOS2が形成されている。また、P型ウェル27-2には、低電位電源VSSが供給されている。P型ウェル27-2にはNMOS2が形成されている。P型ウェル27-2は、P型ウェル25-2よりも高い不純物濃度を有している。P型ウェル27-2は、N型ウェル24-2と同様に無くても良い。

【0059】プロセッサ2は、基本的に、NMOS1、2、PMOS1、2により構成されるが、プロセッサ2を、内部電源VDD2により駆動されるNMOS2、PMOS2のみで構成するようにしても良い。この場合には、外部電源VCCにより駆動されるNMOS1、PMOS1は、例えば外部電源VCCから内部電源VDD2を発生させる電圧発生回路などに使用されると良い。また、大きなN型ウェル22-2の中には、P型ウェル25-2と同様なP型ウェルが、複数形成されていても良い。

【0060】なお、図14において、参照符号Gは、MOSFETのゲートを示している。

【0061】図15は、図13中のウェル22-3を取り出して示す断面図である。

【0062】図15に示すように、大きなN型ウェル22-3の中には、P型ウェル23-3と、N型ウェル24-3とがそれぞれ形成されている。P型ウェル23-3には低電位電源VSS（接地電位）が供給されている。P型ウェル23-3にはNMOS3が形成されている。また、N型ウェル24-3には、大きなN型ウェル22-3と同じ、高電位内部電源VDD3が供給されている。N型ウェル24-3にはPMOS3が形成されている。N型ウェル24-3は、大きなN型ウェル22-3よりも高い不純物濃度を有している。N型ウェル24-3は、無くても良い。

【0063】大きなN型ウェル22-3の中には、P型ウェル25-3が形成されている。P型ウェル25-3には、低電位電源VSS（接地電位）が供給されている。P型ウェル25-3の中には、N型ウェル26-3と、P型ウェル27-3とがそれぞれ形成されている。N型ウェル26-3には高電位内部電源VDD3が供給されている。内部電源VDD3は、内部電源VDD3をチップ1内で電圧変換することで発生される。N型ウェル26-3にはPMOS4が形成されている。また、P型ウェル27-3には、低電位電源VSSが供給されている。P型ウェル27-3にはNMOS4が形成されている。P型ウェル27-3は、P型ウェル25-3よりも高い不純物濃度を有している。P型ウェル27-3は、N型ウェル24-3と同様に無くても良い。

【0064】SRAM3は、基本的に、NMOS3、4、PMOS3、4により構成されるが、SRAM3は、内部電源VDD3により駆動されるNMOS4、PMOS4のみで構成するようにしても良い。この場合には、内部電源VDD3により駆動されるNMOS3、PMOS3は、例えば内部電源VDD3から内部電源V

DD3⁻を発生させる電圧発生回路などに使用されると良い。また、大きなN型ウェル22-3の中には、P型ウェル25-3と同様なP型ウェルが、複数形成されていても良い。

【0065】なお、図15において、参照符号Gは、MOSFETのゲートを示している。

【0066】図16(A)および(B)はそれぞれ、図13中のウェル22-4を取り出して示す断面図である。

【0067】図16(A)および(B)に示すように、大きなN型ウェル22-4の中には、P型ウェル23-4と、N型ウェル24-4とがそれぞれ形成されている。P型ウェル23-4には低電位電源VSS(接地電位)が供給されている。P型ウェル23-4にはNMOS5が形成されている。また、N型ウェル24-4には、大きなN型ウェル22-4と同じ、高電位内部電源VDD4⁻が供給されている。N型ウェル24-4にはPMOS5が形成されている。N型ウェル24-4は、大きなN型ウェル22-4よりも高い不純物濃度を有している。N型ウェル24-4は無くても良い。

【0068】さらに、大きなN型ウェル22-4の中には、3つのP型ウェル25A-4、25B-4、25C-4が形成されている。

【0069】第1のP型ウェル25A-4には、負電位電源VBB(-2~-3V程度)が供給されている。負電位電源VBBは、内部電源VDD4をチップ1内で電圧変換することで発生される。P型ウェル25A-4にはダイナミック型のメモリセルトランジスタが形成されている。

【0070】第2のP型ウェル25B-4には、低電位電源VSS(接地電位)が供給されている。P型ウェル25B-4の中には、N型ウェル26B-4と、P型ウェル27B-4とがそれぞれ形成されている。N型ウェル26B-4には高電位内部電源VDD4⁻が供給されている。内部電源VDD4⁻は、内部電源VDD4をチップ1内で電圧変換することで発生される。N型ウェル26B-4にはPMOS6が形成されている。また、P型ウェル27B-4には、低電位電源VSSが供給されている。P型ウェル27B-4にはNMOS6が形成されている。P型ウェル27B-4は、P型ウェル25B-4よりも高い不純物濃度を有している。P型ウェル27B-4は、N型ウェル24-4と同様に無くても良い。

【0071】第3のP型ウェル25C-4には、負電位電源VBB(-2~-3V程度)が供給されている。P型ウェル25C-4の中には、N型ウェル26C-4と、P型ウェル27C-4とがそれぞれ形成されている。N型ウェル26C-4には高電位内部電源VDD4⁻が供給されている。内部電源VDD4⁻は、内部電源VDD4をチップ1内で電圧変換することで発生される。N型ウェル26C-4にはPMOS7が形成されている。また、P型ウェル27C-4には負電位電源VBBが供給されてい

る。P型ウェル27C-4にはNMOS7が形成されている。P型ウェル27C-4は、P型ウェル25C-4よりも高い不純物濃度を有している。P型ウェル27C-4は、N型ウェル24-4と同様に無くても良い。

【0072】DRAM4のメモリセルアレイは、ダイナミック型メモリセルトランジスタにより構成され、DRAM4の周辺回路は、NMOS5、6、PMOS5、6により構成される。DRAM4の周辺回路は、内部電源VDD4⁻により駆動されるNMOS6、PMOS6のみで構成するようにしても良い。この場合には、内部電源VDD4により駆動されるNMOS5、PMOS5は、例えば内部電源VDD4から内部電源VDD4⁻、VDD4⁻、VBBを発生させる電圧発生回路に使用されると良い。

【0073】また、DRAM4の周辺回路には、昇圧電位VPPを使用する回路、例えばワード線ドライバなどが含まれている。このような回路を構成するために、P型ウェル25B-4などに、昇圧電位VPPが供給されるN型ウェルを形成しても良い。

【0074】また、負電位電源VBBが供給されたP型ウェル25C-4に形成されているNMOS7、PMOS7は、例えばチップ1の外部と信号のやりとりを行う入出力回路や、他のウェルに形成されているプロセッサ2など、チップ1に形成され、異なる電源により駆動される他の機能回路と信号のやりとりを行う内部インターフェース回路を構成するのに使用されると良い。入出力回路や内部インターフェース回路は、サージが入力される可能性がある。このサージをクランプするために、負の電位であるVBBを、P型ウェル25C-4に供給する。このような負の電位が供給されるP型ウェルは、N型ウェル22-4だけでなく、N型ウェル22-2、22-3、22-5それぞれに設けるようにしても良い。そして、負の電位が供給されるP型ウェルに、チップ1の外部と信号のやりとりを行う入出力回路、他の機能回路と信号のやりとりを行う内部インターフェース回路を形成すると良い。

【0075】なお、図16(A)および(B)において、参照符号GはMOSFETのゲートを、参照符号BLはビット線を、参照符号WLはワード線を、参照符号PLはメモリキャパシタのプレート電極を、参照符号SNはメモリキャパシタのストレージ電極をそれぞれ示している。

【0076】図17(A)および(B)はそれぞれ図13中のウェル22-5を取り出して示す断面図である。

【0077】図17(A)および(B)に示すように、大きなN型ウェル22-5の中には、P型ウェル23-5と、N型ウェル24-5とがそれぞれ形成されている。P型ウェル23-5には低電位電源VSS(接地電位)が供給されている。P型ウェル23-5にはNMOS9が形成されている。また、N型ウェル24-5には、大きなN型

ウェル22-5と同じ、高電位内部電源VDD5が供給されている。N型ウェル24-5にはPMOS9が形成されている。N型ウェル24-5は、大きなN型ウェル22-5よりも高い不純物濃度を有している。N型ウェル24-5は、無くてもよい。さらに、大きなN型ウェル22-5の中には、2つのP型ウェル25A-5、25B-5が形成されている。

【0078】第1のP型ウェル25A-5には、低電位電源VSS（接地電位）が供給されている。P型ウェル25A-5の中には、N型ウェル26A-5と、P型ウェル27A-5とがそれぞれ形成されている。N型ウェル26A-5には高電位内部電源VDD5¹が供給されている。内部電源VDD5¹は、内部電源VDD5をチップ1内で電圧変換することで発生される。N型ウェル26A-5にはPMOS8が形成されている。また、P型ウェル27A-5には、低電位電源VSSが供給されている。P型ウェル27A-5にはNMOS8が形成されている。P型ウェル27A-5は、P型ウェル25A-5よりも高い不純物濃度を有している。P型ウェル27A-5は、N型ウェル24-5と同様に無くても良い。

【0079】また、第1のP型ウェル25A-5の中には、N型ウェル26A0-5が、さらに形成されている。N型ウェル26A0-5には高電位内部電源VDD5¹と、昇圧電位VEEとが、互いに切り替えられて供給されるようになっている。内部電源VDD5¹および昇圧電位VEEは、内部電源VDD5をチップ1内で電圧変換することで発生される。N型ウェル26A0-5の中には、P型ウェル28-5が形成されている。P型ウェル28-5には低電位電源VSSと、昇圧電位VEEと、降圧電位VBBとが、互いに切り替えられて供給されるようになっている。降圧電位VBBは、内部電源VDD5をチップ1内で電圧変換することで発生される。P型ウェル28-5には、NAND型のメモリセルトランジスタが形成されている。NAND型のメモリセルトランジスタからデータを消すときには、制御ゲートCGを接地し、N型ウェル26A0-5およびP型ウェル28-5にそれぞれ、昇圧電位VEEを供給する。これにより、電子が、浮遊ゲートFGからP型ウェル28-5に引き抜かれ、データが消される。一方、NAND型のメモリセルトランジスタにデータを書き込むときには、制御ゲートCGをプログラム電圧とし、N型ウェル26A0-5に電位VDD5¹を供給し、P型ウェル28-5に降圧電位VBBを供給する。これにより、電子が、浮遊ゲートFGの下チャンネルから浮遊ゲートFGに注入され、データが書き込まれる。また、NAND型のメモリセルトランジスタに記憶されたデータを読み出すときには、制御ゲートCGを読み出し電圧とし、N型ウェル26A0-5に電位VDD5¹を供給し、P型ウェル28-5を低電位VSSを供給する。これにより、チャンネルに電流が流れるか否かで表される“0、1”のデータが、浮遊ゲートFGの帯

電状態に応じて判断され、データがビット線BLに読み出される。

【0080】第2のP型ウェル25B-5には、低電位電源VSS（接地電位）が供給されている。P型ウェル25B-5の中には、N型ウェル26B-5と、P型ウェル27B-5とがそれぞれ形成されている。N型ウェル26B-5には高電位内部電源VDD5¹が供給されている。内部電源VDD5¹は、内部電源VDD5をチップ1内で電圧変換することで発生される。N型ウェル26B-5にはPMOS10が形成されている。また、P型ウェル27B-5には低電位電源VSSが供給されている。P型ウェル27B-5にはNMOS10が形成されている。P型ウェル27B-5は、P型ウェル25B-5よりも高い不純物濃度を有している。P型ウェル27B-5は、N型ウェル24-5と同様に無くても良い。

【0081】Flash-EEPROM5のメモリセルアレイは、NAND型のメモリセルトランジスタにより構成され、Flash-EEPROM5の周辺回路は、NMOS8、9、10、PMOS8、9、10により構成される。Flash-EEPROM5の周辺回路は、内部電源VDD5¹、VDD5¹により駆動されるNMOS8、10、PMOS8、10のみで構成するようにしても良い。この場合には、内部電源VDD5により駆動されるNMOS9、PMOS9は、例えば内部電源VDD5から内部電源VDD5¹、VDD5¹、VDD5¹、VBB、VEEを発生させる電圧発生回路に使用されると良い。

【0082】なお、図17（A）および（B）において、参照符号GはMOSFETのゲートを示している。

【0083】以上の実施形態では、外部電位電源VCCを、プロセッサ2が形成されているウェルに与えたが、他の機能回路が形成されるウェルに与えても良い。さらには、外部電位電源VCCが与えられるウェルを、さらに形成し、このウェルに、他のウェルに与える電位を発生させる回路を形成するようにしてもよい。

【0084】＜半導体集積回路装置の第2の実施形態＞前記第1の実施形態では、1チップ（領域）を単位としてチップ（領域）裏面同士を接着して積層したが、複数のチップ領域を単位としてチップ裏面同士を接着して積層する第2の実施形態について、以下に説明する。

【0085】図3（a）、（b）は、それぞれ本発明の半導体集積回路装置の第2の実施形態に係る断面構造を概略的に示している。

【0086】第1組のチップおよび第2組のチップは、ウエハーに素子を形成した状態での検査により良品として判定された隣接する複数のチップ領域（本例では2チップ領域）30を単位として分割したものである。この場合、ウエハー面のXY座標軸の例えばX方向に隣接する2チップ領域を単位として分割した例を図3（a）に示し、ウエハー面のXY座標軸の例えばY方向に隣接する

2チップ領域を単位として分割した例を図3(b)に示している。

【0087】上記各チップ領域30は、第1の実施形態における各チップと同様に、複数種類の機能回路を混載したチップ、あるいは単一種類の機能回路が形成されたチップ（例えばメモリチップ）である。この場合、各チップ間領域（ダイシングライン部）はウエハーそのものによる分離領域となっているので、各組のチップ間は絶縁分離されている。

【0088】このような2つのチップ領域を単位とする2組のチップ領域の裏面同士が熱伝導性が良好な導電性接着剤により接着して積層されている。そして、このような接着積層構造の4チップ分は印刷配線部材上にアセンブリされ、例えば絶縁樹脂（図示せず）により封止されて半導体集積回路装置となる。この場合、第1組のチップ領域の素子・接続端子形成面は、チップサイズの2倍より若干大きめの印刷配線部材31aあるいは31b上にフリップチップ方式により接続固定され、第2組のチップ領域の素子・接続端子形成面の接続端子は、例えばボンディングワイヤー32により前記印刷配線板上の接続端子に接続されている。そして、これらのボンディングワイヤーおよび接着積層構造の2チップが樹脂により封止されている。

【0089】なお、上記印刷配線部材の裏面（チップの非搭載面）には、例えばボールグリッドアレイタイプの外部接続端子群が形成されている。また、上記第2組のチップ領域の素子・接続端子形成面の接続端子は、バンプ電極（図示せず）を介して外部と接続するようにしてもよい。

【0090】このような第2の実施形態に係る半導体集積回路装置は、2つのチップ領域を単位とする2組のチップ領域（計4チップ分）の裏面同士が熱伝導性が良好な接着剤により接着されて積層されているので、第1の実施形態に係る半導体集積回路装置と比べて、平面サイズがほぼ2倍になり、機能回路としてメモリが形成されている場合にはメモリ容量が2倍になり、その他は基本的には第1の実施形態と同様な効果がえられる。

【0091】なお、隣接する複数のチップ領域として、本例では2チップ領域を単位とした場合を示したが、これに限らず、3チップ領域、4チップ領域、…と単位を拡大して実施することも可能である。

【0092】また、前記したように接着により積層されたチップを1組として、2組以上を印刷配線部材上にアセンブリして例えば樹脂封止した半導体集積回路装置を構成した場合にも、上記したような効果が同様に得られる。

【0093】また、前記2組のチップ領域の裏面同士が導電性接着剤により接着されて積層された状態（印刷配線部材上にアセンブリされていない状態）の半導体集積回路装置を構成した場合にも、上記したような効果が同

様に得られる。

【0094】＜半導体集積回路装置の第3の実施形態＞前記第1の実施形態および第2の実施形態では、チップ（領域）裏面同士を接着して積層した二段接着積層構造を示したが、片面側のチップ（領域）の素子・接続端子形成面の接続端子と別の第3のチップ（領域）の素子・接続端子形成面の接続端子とをバンプ電極を介して接続し、三段積層構造を実現する第3の実施形態について、以下に説明する。

【0095】図4は、本発明の半導体集積回路装置の第3の実施形態に係る断面構造を概略的に示している。

【0096】図4において、40は図1あるいは図3(a)、(b)を参照して前述したように、二段接着積層構造のパッケージ前の状態の半導体集積回路装置であり、41は別途用意された第3のチップ（あるいは第3組のチップ領域）である。

【0097】この第3のチップ（あるいは第3組のチップ領域）の片面側の素子・接続端子形成面は、印刷配線部材42上にフリップチップ方式により接続固定され、他面側の素子・接続端子形成面には、前記第1のチップ（あるいは第1組のチップ領域）の片面側の素子・接続端子形成面がフリップチップ方式により接続固定されている。

【0098】そして、前記印刷配線部材42は、パッケージのケース431、432内に収容され、前記第2のチップ（あるいは第2組のチップ領域）の片面側の素子・接続端子形成面の接続端子および前記第3のチップ（あるいは第3組のチップ領域）の片面側の素子・接続端子形成面は、例えばボンディングワイヤー44によりケース内の中継接続ノードに対して接続されており、上記中継接続ノードとパッケージの底面から例えばピン状に突出する外部端子45とは電気的に接続されている。

【0099】なお、上記パッケージの底面には、ピン状の外部端子群が形成されている例を示したが、このパッケージの種類は特に限定されるものではなく、BGA（ボールグリッドアレイ）、CSP（チップサイズパッケージ）などを採用してよい。図5は、図4に示した半導体集積回路装置の変形例を示す断面図である。

【0100】この半導体集積回路装置は、図4に示した半導体集積回路装置と比べて、第2のチップの素子・接続端子形成面に、コンデンサ、インダクタンス、抵抗、発振回路、デコード回路などの電子部品51を搭載し、従来の半導体集積回路装置に外付け接続されていた電子部品を内蔵するように変更し、BGAタイプの外部端子52を用いたものである。

【0101】この場合、前記第2組のチップ領域の素子・接続端子形成面の接続端子は、バンプ電極（図示せず）を介して電子部品と接続するようにしてもよい。

【0102】図6は、本発明の半導体集積回路装置の第4の実施形態に係る断面構造を概略的に示している。

【0103】図6において、61および62は、それぞれ図1あるいは図3(a)、(b)を参照して前述したように、二段接着積層構造のパッケージ前の状態の2個の半導体集積回路装置であり、これらはチップサイズの2倍より若干大きめの印刷配線部材(例えば印刷配線基板)63上に例えばフリップチップ方式により接続固定されている。

【0104】そして、前記印刷配線部材は、パッケージのケース641、642内に收容され、前記第2のチップ(あるいは第2組のチップ領域)の片面側の素子・接続端子形成面の接続端子および印刷配線部材上の接続端子は、例えばボンディングワイヤー65によりケース内の中継接続ノードに対して接続されており、上記中継接続ノードとパッケージの底面に形成された例えばBGA状の外部端子とは電氣的に接続されている。

【0105】〈システム基板の複数の実施形態〉前記各実施の形態のいずれかに係る半導体集積回路装置を組み込む機器(例えばコンピュータ、その周辺のデーター時記憶装置)のシステム基板として、上記した半導体集積回路装置を複数個実装したシステム基板を用いれば、機能回路としてメモリが形成されている場合には、中容量、大容量を比較的安価に実現でき、システム基板の集積度の向上、小形化を実現することができる。

【0106】このようなシステム基板の複数の実施形態について、以下に説明する。

【0107】図7は、本発明のシステム基板の第1の実施形態を概略的に示す斜視図である。

【0108】このシステム基板は、印刷配線基板70上に前記第1の実施形態の半導体集積回路装置71が2行、2列に計4個並べられた状態で実装され、いわゆるマルチチップモジュールを構成している。この場合、各チップ領域の機能回路としてメモリが形成されている場合には、中容量を比較的安価に実現でき、システム基板の集積度の向上、小形化を実現することができる。

【0109】図8は、本発明のシステム基板の第2の実施形態を概略的に示す平面図である。

【0110】このシステム基板は、印刷配線基板80上に前記第1の実施形態の半導体集積回路装置81が2行、2列に計4個並べられた状態で実装され、さらに、同じ基板80上に、ロジックタイプの半導体集積回路装置82および複数個のコンデンサ83が実装されている。この場合、各チップ領域の機能回路としてメモリが形成されている場合には、中容量を比較的安価に実現でき、システム基板の集積度の向上、小形化を実現することができる。

【0111】図9は、本発明のシステム基板の第3の実施形態を概略的に示す平面図である。

【0112】このシステム基板は、印刷配線基板90上に前記第2の実施形態あるいは第3の実施形態に係る半導体集積回路装置91が2行、2列に計4個並べられた状態で実装され、さらに、同じ印刷配線基板90上に、ロジッ

クタイプの半導体集積回路装置92および複数個のコンデンサ93が実装されている。この場合、各チップ領域の機能回路としてメモリが形成されている場合には、中容量～大容量を比較的安価に実現でき、システム基板の集積度の向上、小形化を比較的容易に実現することができる。

【0113】図10は、本発明のシステム基板の第4の実施形態を概略的に示す断面図である。

【0114】このシステム基板は、印刷配線基板100の両面にそれぞれ前記各実施形態のいずれかに係る半導体集積回路装置101が複数個並べられた状態で実装され、さらに、同じ印刷配線基板100の片面にロジックタイプの半導体集積回路装置102が実装されている。この場合、各チップ領域の機能回路としてメモリが形成されている場合には、大容量のメモリカードを比較的安価に実現でき、システム基板の集積度の一層の向上、小形化を実現することができる。

【0115】図11は、本発明のシステム基板の第5の実施形態を概略的に示す斜視図である。

【0116】このシステム基板は、印刷配線基板110上にそれぞれ前記第1の実施形態あるいはその変形例に係る半導体集積回路装置111が複数個並べられた状態で実装され、さらに、同じ印刷配線基板110上にロジックタイプの半導体集積回路装置112やCPU113や複数個のコンデンサ114が実装されている。この場合、各チップ領域の機能回路としてメモリが形成されている場合には、大容量のメモリカードを比較的安価に実現でき、システム基板の集積度の一層の向上、小形化を実現することができる。

【0117】図12は、本発明のシステム基板の第6の実施形態を概略的に示す斜視図である。

【0118】このシステム基板は、印刷配線基板120上に前記第2の実施の形態に係る半導体集積回路装置121が複数個並べられた状態で実装され、さらに、同じ印刷配線基板120の片面にロジックタイプの半導体集積回路装置122が実装されている。この場合、各チップ領域の機能回路としてメモリが形成されている場合には、大容量のメモリカードを比較的安価に実現でき、システム基板の集積度の一層の向上、小形化を実現することができる。

【0119】

【発明の効果】上述したように本発明の半導体集積回路装置によれば、複数の機能回路を混載した半導体集積回路チップの少なくとも2個の裏面同士を接着した場合でも、放熱特性を向上させるとともに電氣的特性への悪影響を低減させ、特に低電圧動作下における動作の安定化を図ることができる。

【0120】さらに、本発明の半導体集積回路装置によれば、メモリ機能を有するチップに適用した場合には、比較的安価にメモリ容量を容易に増大させることができ

る。

【0121】また、本発明のシステム基板によれば、集積度の向上、小形化を実現することができ、メモリ機能を有するチップを用いた場合には、中容量、大容量を比較的安価に実現することができる。

【図面の簡単な説明】

【図1】本発明の半導体集積回路装置の第1の実施形態を概略的に示す断面図。

【図2】図1に示した半導体集積回路装置の変形例を示す断面図。

【図3】本発明の半導体集積回路装置の第2の実施形態を概略的に示す断面図。

【図4】本発明の半導体集積回路装置の第3の実施形態を概略的に示す断面図。

【図5】図4に示した半導体集積回路装置の変形例を示す断面図。

【図6】本発明の半導体集積回路装置の第4の実施形態を概略的に示す断面図。

【図7】本発明のシステム基板の第1の実施形態を概略的に示す斜視図。

【図8】本発明のシステム基板の第2の実施形態を概略的に示す平面図。

【図9】本発明のシステム基板の第3の実施形態を概略的に示す平面図。

【図10】本発明のシステム基板の第4の実施形態を概

略的に示す断面図。

【図11】本発明のシステム基板の第5の実施形態を概略的に示す斜視図。

【図12】本発明のシステム基板の第6の実施形態を概略的に示す斜視図。

【図13】本発明の半導体集積回路装置の第1の実施形態に係る各チップをウエハから分割する前のウエハ上のチップ領域一例を概略的に示す断面図。

【図14】図13中のウェル22-2を取り出して示す断面図。

【図15】図13中のウェル22-3を取り出して示す断面図。

【図16】図13中のウェル22-4を取り出して示す断面図。

【図17】図13中のウェル22-5を取り出して示す断面図。

【図18】従来のCMOS構造の一例を示す断面図。

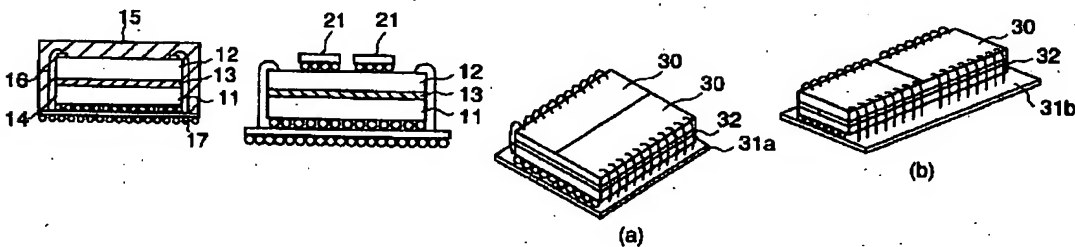
【符号の説明】

- 11…第1のチップ、
- 12…第2のチップ、
- 13…導電性接着剤、
- 14…印刷配線部材、
- 15…封止樹脂、
- 16…ボンディングワイヤ。

【図1】

【図2】

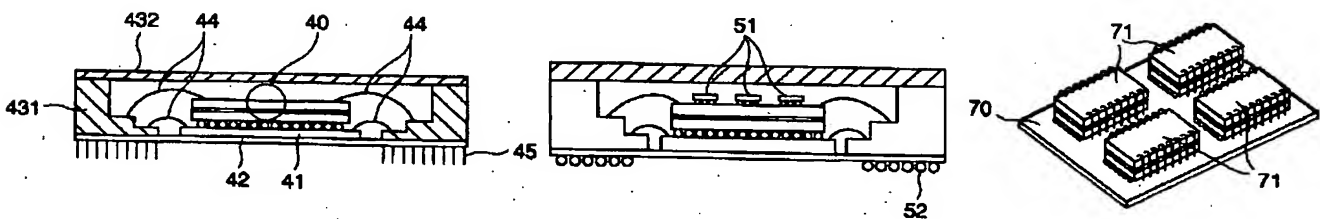
【図3】



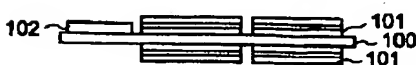
【図4】

【図5】

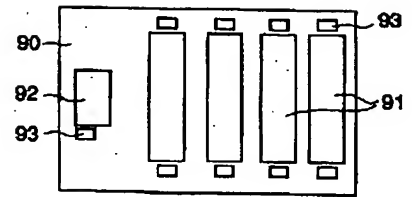
【図7】



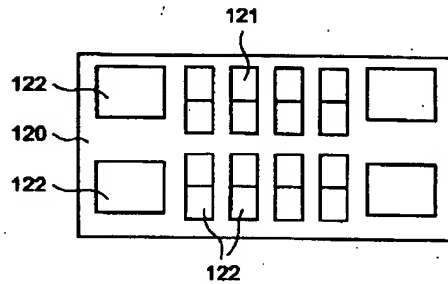
【図10】



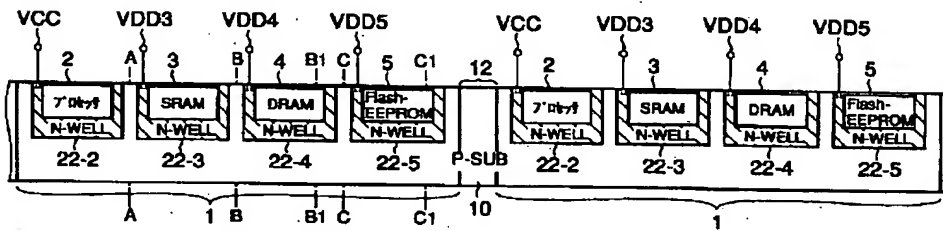
【図 9】



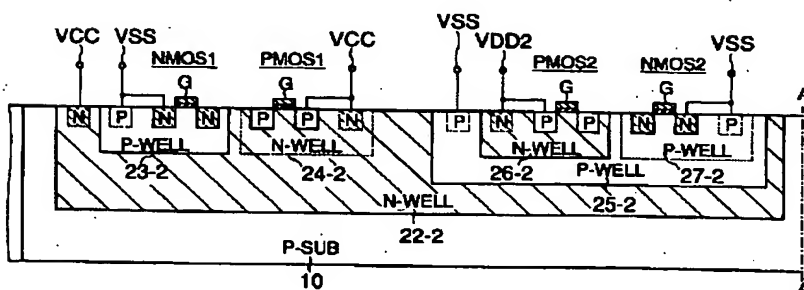
【図 12】



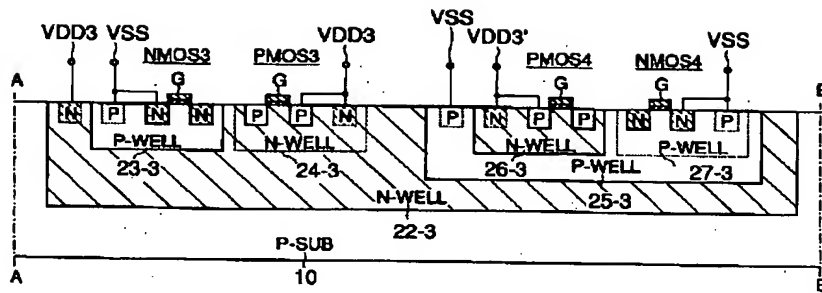
【図 13】



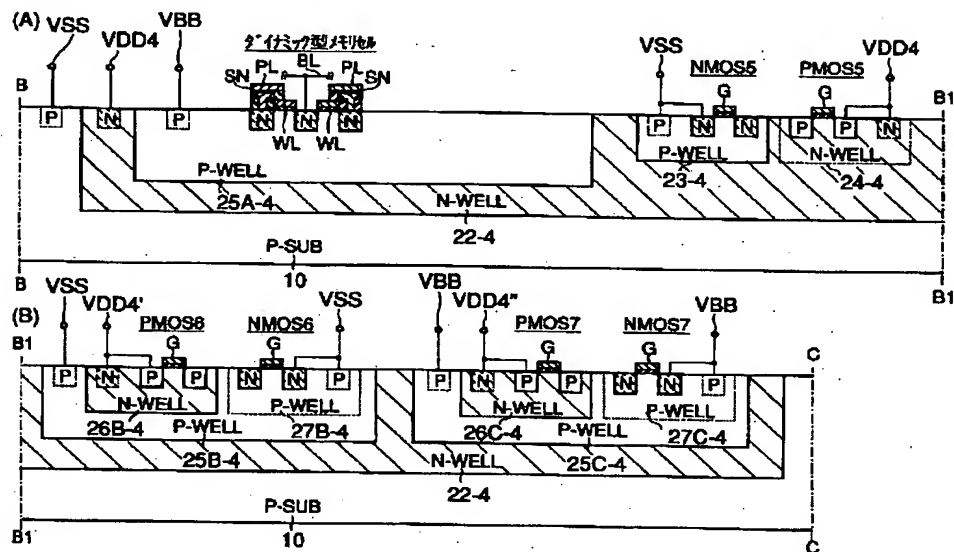
【図 14】



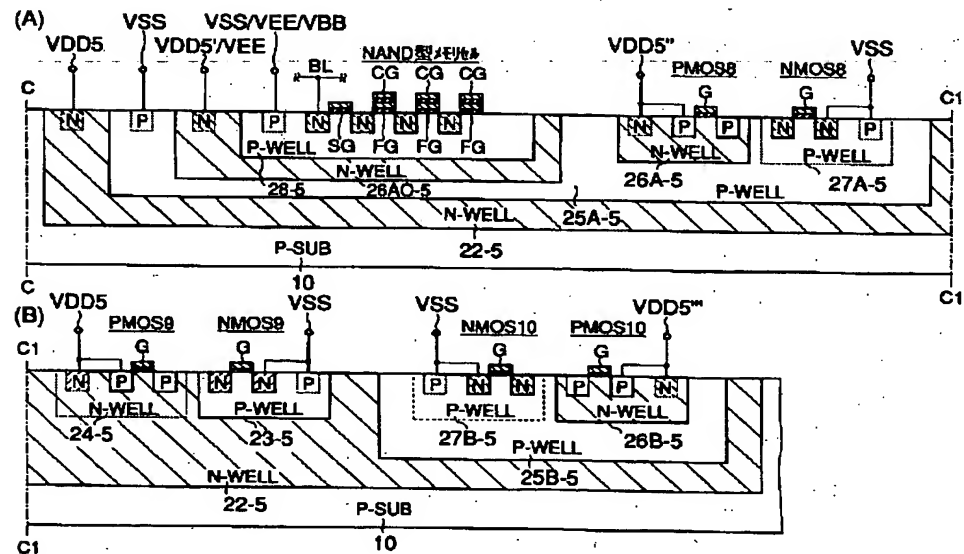
【図15】



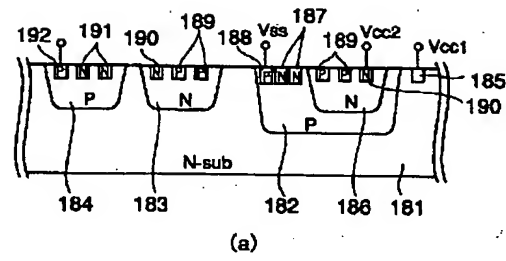
【図16】



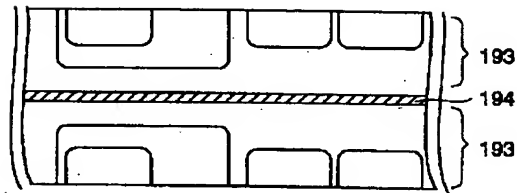
【図17】



【図18】



(a)



(b)